

PCT/JP2004/004353

26. 3. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 15 APR 2004

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 2 9 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 2 9 2 4]

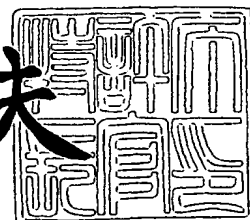
出 願 人 T D K 株 式 会 社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 9 9 7

【書類名】 特許願

【整理番号】 99P04430

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

【氏名】 江▲崎▼ 城一郎

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

【氏名】 古賀 啓治

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

【氏名】 柿沼 裕二

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケー株式会社

【代理人】

【識別番号】 100109656

【弁理士】

【氏名又は名称】 三反崎 泰司

【代理人】

【識別番号】 100098785

【弁理士】

【氏名又は名称】 藤島 洋一郎

【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気記憶セルおよび磁気メモリデバイスならびに磁気メモリデバイスの製造方法

【特許請求の範囲】

【請求項 1】 外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの前記積層面が対向するように配置された第 1 および第 2 の積層体と、

前記第 1 の積層体と前記第 2 の積層体との間に、前記積層面に沿った方向を軸方向とするように配置されると共に、前記軸方向に沿って複数の導線によって貫かれるように構成された環状磁性層と

を備えたことを特徴とする磁気記憶セル。

【請求項 2】 前記第 1 の積層体は、前記環状磁性層と共に第 1 の磁気抵抗効果素子を構成し、

前記第 2 の積層体は、前記環状磁性層と共に第 2 の磁気抵抗効果素子を構成している

ことを特徴とする請求項 1 に記載の磁気記憶セル。

【請求項 3】 前記第 1 および第 2 の積層体が、いずれも前記環状磁性層と電氣的に接続されていることを特徴とする請求項 1 または請求項 2 に記載の磁気記憶セル。

【請求項 4】 前記複数の導線は、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の磁気記憶セル。

【請求項 5】 前記複数の導線は、前記環状磁性層を貫く領域において前記第 1 の積層体と前記第 2 の積層体とを通る直線方向において互いに隣り合うように配列されている

ことを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の磁気記憶セル。

【請求項 6】 前記複数の導線は、前記環状磁性層を貫く領域において前記

第1の積層体と前記第2の積層体とを通る直線と直交する方向において互いに隣り合うように配列されている

ことを特徴とする請求項1ないし請求項4のいずれか1項に記載の磁気記憶セル。

【請求項7】 前記複数の導線の双方を流れる電流により生ずる磁界によって、前記第1および第2の積層体における各感磁層の磁化方向が互いに反平行を向くように変化し、前記第1および第2の積層体に情報が記憶される

ことを特徴とする請求項1ないし請求項6のいずれか1項に記載の磁気記憶セル。

【請求項8】 前記第1および第2の積層体における一对の感磁層の一方が第1の方向に磁化し他方が前記第1の方向と反平行をなす第2の方向に磁化する第1の状態と、前記一对の感磁層の一方が前記第2の方向に磁化し他方が前記第1の方向に磁化する第2の状態の、いずれかをとり、

前記第1および第2の状態に対応して前記第1および第2の積層体に情報が記憶される

ことを特徴とする請求項7に記載の磁気記憶セル。

【請求項9】 前記一对の感磁層は、それぞれ、互いに磁氣的に交換結合するように構成された第1および第2の感磁部分を含み、

前記第1の感磁部分が、前記環状磁性層のうちの一部分を構成している

ことを特徴とする請求項1ないし請求項8のいずれか1項に記載の磁気記憶セル。

【請求項10】 前記一对の感磁層は、それぞれ、前記第1の感磁部分と前記第2の感磁部分との間に、前記第1の感磁部分と前記第2の感磁部分とをそれぞれ反強磁性結合させるための第1の非磁性導電層を有している

ことを特徴とする請求項9に記載の磁気記憶セル。

【請求項11】 前記一对の第2の感磁部分が前記一对の第1の感磁部分よりも大きな保磁力を有する

ことを特徴とする請求項9または請求項10に記載の磁気記憶セル。

【請求項12】 前記第1および第2の積層体は、それぞれ、

非磁性層と、
前記非磁性層の一方側に積層され磁化方向の固定された第 1 の磁性層と、
前記非磁性層の前記第 1 の磁性層と反対側に積層され、前記第 2 の感磁部分として機能する第 2 の磁性層と
を含み、
前記第 1 および第 2 の積層体に流れる電流に基づいて情報が検出される
ことを特徴とする請求項 9 ないし請求項 11 のいずれか 1 項に記載の磁気記憶セル。

【請求項 13】 前記第 1 の磁性層が前記第 2 の磁性層よりも大きな保磁力を有する
ことを特徴とする請求項 12 に記載の磁気記憶セル。

【請求項 14】 前記第 1 の磁性層の前記非磁性層とは反対側に、第 1 の磁性層と交換結合した反強磁性の第 3 の磁性層が配設されている
ことを特徴とする請求項 12 または請求項 13 に記載の磁気記憶セル。

【請求項 15】 前記第 1 の磁性層と前記第 3 の磁性層との間に、前記第 1 の磁性層の側から順に第 2 の非磁性導電層と、前記第 1 の磁性層と反強磁性結合した第 4 の磁性層とが配設されている
ことを特徴とする請求項 14 に記載の磁気記憶セル。

【請求項 16】 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる
ことを特徴とする請求項 12 ないし請求項 15 のいずれか 1 項に記載の磁気記憶セル。

【請求項 17】 前記一对の感磁層が、前記環状磁性層のうちの一部分を構成している
ことを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項に記載の磁気記憶セル。

【請求項 18】 前記第 1 および第 2 の積層体は、それぞれ、
非磁性層と、
前記非磁性層の一方側に積層され磁化方向の固定された第 1 の磁性層と、

前記非磁性層の前記第 1 の磁性層と反対側に積層された前記感磁層とを含み、

前記第 1 および第 2 の積層体に流れる電流に基づいて情報が検出されることを特徴とする請求項 17 に記載の磁気記憶セル。

【請求項 19】 前記第 1 の磁性層の前記非磁性層とは反対側に、第 2 の非磁性導電層と、前記第 1 の磁性層と反強磁性結合した第 4 の磁性層と、反強磁性の第 3 の磁性層とが順に配設されている

ことを特徴とする請求項 18 に記載の磁気記憶セル。

【請求項 20】 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求項 18 または請求項 19 に記載の磁気記憶セル。

【請求項 21】 第 1 の書込線と、前記第 1 の書込線と交差するように延びる第 2 の書込線と、磁気記憶セルと

を備え、

前記磁気記憶セルは、

外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの前記積層面が対向するように配置された第 1 および第 2 の積層体と、

これら第 1 の積層体と第 2 の積層体との間に、前記積層面に沿った方向を軸方向とするように配置されると共に、前記軸方向に沿って前記第 1 および第 2 の書込線によって貫かれるように構成された環状磁性層と

を含むことを特徴とする磁気メモリデバイス。

【請求項 22】 前記第 1 の積層体は、前記環状磁性層と共に第 1 の磁気抵抗効果素子を構成し、

前記第 2 の積層体は、前記環状磁性層と共に第 2 の磁気抵抗効果素子を構成している

ことを特徴とする請求項 21 に記載の磁気メモリデバイス。

【請求項 23】 前記第 1 および第 2 の積層体が、いずれも前記環状磁性層と電気的に接続されていることを特徴とする請求項 21 または請求項 22 に記載

の磁気メモリデバイス。

【請求項 2 4】 前記第 1 の書込線と前記第 2 の書込線とは、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求項 2 1 ないし請求項 2 3 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 2 5】 前記第 1 および第 2 の書込線は、前記環状磁性層を貫く領域において前記第 1 の積層体と前記第 2 の積層体とを通る直線の方

向において互いに隣り合うように配列されている

ことを特徴とする請求項 2 1 ないし請求項 2 4 のいずれか 1 項に記載の磁気記憶セル。

【請求項 2 6】 前記第 1 および第 2 の書込線は、前記環状磁性層を貫く領域において前記第 1 の積層体と前記第 2 の積層体とを通る直線と直交する方向において互いに隣り合うように配列されている

ことを特徴とする請求項 2 1 ないし請求項 2 4 のいずれか 1 項に記載の磁気記憶セル。

【請求項 2 7】 前記第 1 および第 2 の書込線の双方を流れる電流により生ずる磁界によって、前記第 1 および第 2 の積層体における各感磁層の磁化方向が互いに反平行を向くように変化し、前記磁気記憶セルに情報が記憶される

ことを特徴とする請求項 2 1 ないし請求項 2 4 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 2 8】 前記第 1 および第 2 の積層体における一対の感磁層の一方が第 1 の方向に磁化し他方が前記第 1 の方向と反平行をなす第 2 の方向に磁化する第 1 の状態と、前記一対の感磁層の一方が前記第 2 の方向に磁化し他方が前記第 1 の方向に磁化する第 2 の状態、のいずれかをとり、

前記第 1 および第 2 の状態に対応して前記磁気記憶セルに情報が記憶される

ことを特徴とする請求項 2 7 に記載の磁気メモリデバイス。

【請求項 2 9】 前記第 1 および第 2 の積層体にそれぞれ接続され、各積層他に読出電流を供給する一対の第 1 の読出線を備え、

前記各積層体に流れる電流に基づいて前記磁気記憶セルから情報が読み出され

る

ことを特徴とする請求項 21 ないし請求項 28 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 30】 前記一对の第 1 の読出線の各々から前記第 1 および第 2 の積層体の各々に読出電流が供給され、この一对の読出電流値の差分に基づいて前記磁気記憶セルから情報が読み出される

ことを特徴とする請求項 29 に記載の磁気メモリデバイス。

【請求項 31】 前記一对の感磁層は、それぞれ互いに磁氣的に交換結合するように構成された第 1 および第 2 の感磁部分を含み、

前記第 1 の感磁部分が、前記環状磁性層のうちの一部分を構成している

ことを特徴とする請求項 21 ないし請求項 30 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 32】 前記一对の感磁層は、それぞれ、前記第 1 の感磁部分と前記第 2 の感磁部分との間に、前記第 1 の感磁部分と前記第 2 の感磁部分とをそれぞれ反強磁性結合させるための第 1 の非磁性導電層を有している

ことを特徴とする請求項 31 に記載の磁気メモリデバイス。

【請求項 33】 前記一对の第 2 の感磁部分が前記第 1 の感磁部分よりも大きな保磁力を有する

ことを特徴とする請求項 31 または請求項 32 に記載の磁気メモリデバイス。

【請求項 34】 前記第 1 および第 2 の積層体は、それぞれ、非磁性層と、前記非磁性層の一方側に積層され磁化方向の固定された第 1 の磁性層と、前記非磁性層の前記第 1 の磁性層と反対側に積層され、前記第 2 の感磁部分として機能する第 2 の磁性層と

を含み、

前記第 1 および第 2 の積層体に流れる電流に基づいて情報が検出される

ことを特徴とする請求項 31 ないし請求項 33 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 35】 前記第 1 の磁性層が前記第 2 の磁性層よりも大きな保磁力

を有する

ことを特徴とする請求項 34 に記載の磁気メモリデバイス。

【請求項 36】 前記第 1 の磁性層の前記非磁性層とは反対側に、第 1 の磁性層と交換結合した反強磁性の第 3 の磁性層が配設されている

ことを特徴とする請求項 34 または請求項 35 に記載の磁気メモリデバイス。

【請求項 37】 前記第 1 の磁性層と前記第 3 の磁性層との間に、前記第 1 の磁性層の側から順に第 2 の非磁性導電層と、前記第 1 の磁性層と反強磁性結合した第 4 の磁性層とが配設されている

ことを特徴とする請求項 34 ないし請求項 36 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 38】 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求項 34 ないし請求項 37 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 39】 前記一対の感磁層が、前記環状磁性層のうちの一部分を構成している

ことを特徴とする請求項 21 ないし請求項 30 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 40】 前記第 1 および第 2 の積層体は、それぞれ、非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第 1 の磁性層と、

前記非磁性層の前記第 1 の磁性層と反対側に積層された前記感磁層と

を含み、

前記第 1 および第 2 の積層体に流れる電流に基づいて情報が検出される

ことを特徴とする請求項 39 に記載の磁気メモリデバイス。

【請求項 41】 前記第 1 の磁性層の前記非磁性層とは反対側に、第 2 の非磁性導電層と、前記第 1 の磁性層と反強磁性結合した第 4 の磁性層と、反強磁性の第 3 の磁性層とが順に配設されている

ことを特徴とする請求項 40 に記載の磁気メモリデバイス。

【請求項 4 2】 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求項 4 0 または請求項 4 1 に記載の磁気メモリデバイス。

【請求項 4 3】 前記第 1 および第 2 の積層体に供給された読出電流の各電流経路上における、前記一対の第 1 の読出線と前記第 1 および第 2 の積層体との間にそれぞれ設けられた第 1 および第 2 の整流素子と、

前記第 1 および第 2 の積層体を流れた読出電流を接地へと導く第 2 の読出線とを備えたことを特徴とする請求項 2 9 に記載の磁気メモリデバイス。

【請求項 4 4】 前記第 1 および第 2 の整流素子は、ショットキーダイオード、PN 接合型ダイオード、バイポーラトランジスタ、または MOS (Metal-Oxide-Semiconductor) トランジスタのいずれかである

ことを特徴とする請求項 4 3 に記載の磁気メモリデバイス。

【請求項 4 5】 第 1 および第 2 の整流素子が設けられた基体の上に、前記第 2 の積層体と、前記環状磁性層と、前記第 1 の積層体とが順に配設され、前記第 1 および第 2 の整流素子と前記第 1 および第 2 の積層体とがそれぞれ電氣的に接続されている

ことを特徴とする請求項 2 1 に記載の磁気メモリデバイス。

【請求項 4 6】 前記第 1 および第 2 の整流素子は、バイポーラトランジスタであって、このバイポーラトランジスタにおけるエミッタと前記第 1 および第 2 の積層体とがそれぞれ電氣的に接続されている

ことを特徴とする請求項 4 5 に記載の磁気メモリデバイス。

【請求項 4 7】 前記第 1 および第 2 の整流素子は、MOS (Metal-Oxide-Semiconductor) トランジスタであって、この MOS トランジスタにおけるソースと前記第 1 および第 2 の積層体とがそれぞれ電氣的に接続されている

ことを特徴とする請求項 4 5 に記載の磁気メモリデバイス。

【請求項 4 8】 前記第 1 および第 2 の整流素子は、ショットキーダイオードであって、前記第 1 および第 2 の積層体の側から順に導電層とエピタキシャル層とを有し、これら導電層とエピタキシャル層との間にショットキー障壁を形成している

ことを特徴とする請求項 45 に記載の磁気メモリデバイス。

【請求項 49】 第 1 の書込線と、前記第 1 の書込線と交差するように延びる第 2 の書込線と、外部磁界によって磁化方向が変化する感磁層を含む第 1 および第 2 の積層体を有する磁気記憶セルと、を備えた磁気メモリデバイスを製造するための方法であって、

第 1 および第 2 の整流素子が設けられた基体の上に、前記第 2 の積層体の一部をなす第 2 の積層部分を形成し、前記第 2 の整流素子と前記第 2 の積層体とを電氣的に接続する工程と、

少なくとも前記積層部分を覆うように下部磁性層を形成し、前記第 2 の積層体の形成を完了する工程と、

前記下部磁性層の上に、第 1 の絶縁膜を介して前記第 1 の書込線を形成する工程と、

前記第 1 の書込線の上に、第 2 の絶縁膜を介して前記第 2 の書込線を、前記第 1 および第 2 の書込線が互いに平行に延在する部分を含むように形成する工程と、

前記第 2 の書込線と、前記第 2 の絶縁膜と、前記第 1 の書込線とを順次エッチングしてパターニングすることにより、前記第 1 および第 2 の書込線が前記第 2 の絶縁膜を挟んで互いに平行に延在する部分を含む積層パターンを形成する積層パターン形成工程と、

前記積層パターンを第 3 の絶縁膜を介して取り囲むように上部磁性層を設けることにより、環状磁性層を形成する工程と、

前記環状磁性層の上の、前記第 2 の積層体に対応する位置に第 1 の積層部分を設けることにより第 1 の積層体を形成し、前記第 1 および第 2 の積層体を有する磁気記憶セルを形成する工程と、

前記第 1 の積層体と前記第 1 の整流素子とを電氣的に接続する工程とを含むことを特徴とする磁気メモリデバイスの製造方法。

【請求項 50】 前記積層パターン形成工程において、

前記第 2 の書込線をマスクとして前記第 2 の絶縁膜および前記第 1 の書込線を選択的にエッチングすることにより、前記積層パターンを自己整合的に形成する

ことを特徴とする請求項 49 に記載の磁気メモリデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗効果素子を含む磁気記憶セルならびに複数の磁気記憶セルを備え、情報の記録・読出を行う磁気メモリデバイスおよびその製造方法に関する。

【0002】

【従来の技術】

従来より、コンピュータや通信機器等の情報処理装置に用いられる汎用メモリとして、DRAM (Dynamic Random Access Memory) や SRAM (Static RAM) などの揮発性メモリが使用されている。これらの揮発性メモリにおいては、記憶を保持するために絶えず電流を供給し、リフレッシュを行う必要がある。また、電源を切るとすべての情報が失われるので、これら揮発性メモリの他に情報を記録するための手段として不揮発性のメモリを設ける必要があり、例えば、フラッシュ EEPROM や磁気ハードディスク装置などが用いられる。

【0003】

これら不揮発性メモリにおいては、情報処理の高速化に伴って、アクセスの高速化が重要な課題となっている。さらに、携帯情報機器の急速な普及および高性能化に伴い、いつでもどこでも情報処理が行える、いわゆる、ユビキタスコンピューティングを目指した情報機器開発が急速に進められている。このような情報機器開発の中心となるキーデバイスとして、高速処理に対応した不揮発性メモリの開発が強く求められている。

【0004】

不揮発性メモリの高速化に有効な技術としては、強磁性層の磁化容易軸に沿った磁化方向によって情報を記憶する磁気メモリ素子がマトリックス状に配列された磁気ランダムアクセスメモリ（以下、MRAM; Magnetic random access memory という。）が知られている。MRAMでは、2つの強磁性体における磁化方向の組み合わせを利用して情報を記憶するようになっている。一方、記憶情報の

読み出しは、ある基準となる方向に対し、磁化方向が平行である場合と反平行である場合とによって生じる抵抗変化（すなわち、電流あるいは電圧の変化）を検知することによって行う。このような原理で動作することから、MRAMでは、安定した書き込みおよび読み出しを行うために、抵抗変化率ができるだけ大きいことが重要である。

【0005】

現在実用化されているMRAMは、巨大磁気抵抗（GMR；Giant magneto-resistive）効果を利用したものである。GMR効果とは、2つの磁性層を各層の磁化容易軸方向が互いに平行となるように配設したときに、それら各層の磁化方向が磁化容易軸に沿って平行となる場合に抵抗値が最小となり、反平行の場合に最大値となる現象である。このようなGMR効果が得られるGMR素子を利用したMRAM（以下、GMR-MRAMと記す。）としては、例えば特許文献1に開示された技術が知られている。

【0006】

GMR-MRAMには、保磁力差型（擬似スピバルブ型；Pseudo spin valve 型）と、交換バイアス型（スピバルブ；spin valve型）とがある。保磁力差型のMRAMは、GMR素子が2つの強磁性層とそれらの間に挟まれた非磁性層とを有し、2つの強磁性層の保磁力差を利用して情報の書込および読出を行うものである。ここで、GMR素子が、例えば「ニッケル鉄合金（NiFe）／銅（Cu）／コバルト（Co）」の構成を有する場合、その抵抗変化率は、6～8％程度の小さな値である。一方、交換バイアス型のMRAMは、GMR素子が、反強磁性層との反強磁性結合により磁化方向が固定された固定層と、外部磁界により磁化方向が変化するフリー層と、それらの間に挟まれた非磁性層とを有し、固定層とフリー層との磁化方向の違いを利用して情報の書込および読出を行うものである。例えば、GMR素子の構成を「白金マンガン（PtMn）／コバルト鉄（CoFe）／銅（Cu）／CoFe」とした場合の抵抗変化率は10％程度であり保磁力差型よりも大きな値を示すが、さらなる記憶速度向上やアクセス速度向上を達成するには不十分であった。

【0007】

これらの点を解決するために、トンネル磁気抵抗効果（TMR：Tunneling magneto-resistive）を利用したTMR素子を有するMRAM（以下、TMR-MRAMと記す。）が提案されている。TMR効果は、極薄の絶縁層（トンネルバリア層）を挟んだ2つの強磁性層間における磁化方向の相対角度により絶縁層を通過して流れるトンネル電流が変化するという効果である。2つの強磁性層における磁化方向が、互いに平行な場合に抵抗値が最小となり、互いに反平行の場合に最大となる。TMR-MRAMでは、TMR素子が、例えば「CoFe／アルミニウム酸化物／CoFe」という構成の場合、抵抗変化率が40％程度と高く、また、抵抗値も大きいためMOSFET等の半導体デバイスと組み合わせた場合のマッチングが取りやすい。このため、GMR-MRAMと比較して、より高い出力が容易に得られ、記憶容量やアクセス速度の向上が期待されている。TMR-MRAMでは、導線に電流を流すことにより発生する電流磁界により、TMR素子の磁性膜の磁化方向を所定方向に変化させることにより情報を記憶する方法が知られている。記憶情報を読み出す方法としては、トンネルバリア層に垂直な方向に電流を流し、TMR素子の抵抗変化を検出する方法が知られている。なお、TMR-MRAMに関しては、特許文献2あるいは特許文献3に開示された技術等が知られている。

【0008】**【特許文献1】**

米国特許第5343422号明細書

【特許文献2】

米国特許第5629922号明細書

【特許文献3】

特開平9-91949号公報

【0009】**【発明が解決しようとする課題】**

上記したように、TMR効果を利用したMRAMでは、GMR効果を利用したMRAMよりも高出力化を達成することができる。しかしながら、上記のような40％程度の抵抗変化率を示すTMR素子を用いたMRAMであっても、出力電

圧は数十mV程度であるので、より高密度な磁気メモリデバイスを実現するには不十分である。

【0010】

図48は、従来のTMR効果を利用した磁気メモリデバイスにおける構成を説明する平面図であり、図49は、図48に対応する従来の磁気メモリデバイスの要部断面構成を示すものである。互いに平行に延びる読出ワード線112および書込ワード線106に対し、ビット線105が直交しており、その直交部分のZ方向に挟まれる領域に第1磁性層102、トンネルバリア層103および第2磁性層104からなるTMR素子120が配設されている。このような、書込ビット線105と書込ワード線106とが直交するタイプのMRAMでは、フリー層として機能する第2磁性層104における磁化方向を全体に亘って十分に揃えることができず、十分に安定した書込をおこなうことは困難であった。

【0011】

また、TMR効果を利用したMRAMでは、直交配置された導線を流れる電流による誘導磁界、すなわち電流磁界によって磁性膜の磁化方向を変えることにより、各々の記憶セルに情報の記憶を行うようになっているが、この電流磁界はオープンな（磁氣的に特定の領域に閉じ込められていない）磁界であるので、低効率であると共に、隣接した記憶セルへの悪影響も懸念される。

【0012】

さらに、記憶セルをより高集積化して磁気メモリデバイスのさらなる高密度化を図る場合、TMR素子の微小化が必須となるが、次のような問題が懸念される。すなわち、TMR素子における各磁性層のアスペクト比（厚み／積層面内方向の幅）が大きくなることにより反磁界が増大し、フリー層の磁化方向を変えるための磁界強度が増大してしまい、大きな書込電流を必要とすると考えられる。

【0013】

本発明はかかる問題点に鑑みてなされたもので、本発明の第1の目的は、コンパクトな構成でありながら、書込線を流れる電流によって形成される磁界の損失を低減し、安定した書込が可能な磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供することにある。第2の目的は、隣接した磁気記憶セルに悪影

響を及ぼすことが少ない磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供することにある。第3の目的は、一对の磁気抵抗効果素子を用いることにより、高い信号出力が得られ、高速かつ大容量の磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供することにある。さらに、第4の目的は、そのような磁気メモリデバイスを容易に製造するための方法を提供することにある。

【0014】

【課題を解決するための手段】

本発明の磁気記憶セルは、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの積層面が対向するように配置された第1および第2の積層体と、これら第1の積層体と第2の積層体との間に、積層面に沿った方向を軸方向とするように配置されると共に、軸方向に沿って複数の導線によって貫かれるように構成された環状磁性層とを備えるようにしたものである。ここで、本発明における「外部磁界」とは、複数の導線に流れる電流によって生ずる磁界、または、環状磁性層に生ずる還流磁界を意味している。また、「環状磁性層」の「環状」とは、内部を貫く複数の導線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り込み、複数の導線を横切る方向の断面が閉じている状態を示す。したがって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容する。すなわち、電流が流れないような絶縁体は含まないものの、例えば製造工程において発生する程度の酸化膜は含んでもよい。また、「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫く複数の導線の延在方向を指す。また、「第1および第2の積層体におけるそれぞれの一方の面側に、・・・配設され」とは、環状磁性層が、そのうちの一部分が積層体によって構成されて配設されるという趣旨である。さらに、「複数の導線によって貫かれるように」とは、環状磁性層によって取り囲まれた領域または空間を複数の導線が貫通している状態を示す。

【0015】

本発明の磁気記憶セルでは、上記構成により、複数の導線に電流を流すことに

よって閉磁路が形成されるので、第1および第2の積層体における各感磁層の磁化反転が効率的に行われる。

【0016】

本発明の磁気メモリデバイスは、第1の書込線と、この第1の書込線と交差するように延びる第2の書込線と、磁気記憶セルとを備え、磁気記憶セルが、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの積層面が対向するように配置された第1および第2の積層体と、これら第1の積層体と第2の積層体との間に、積層面に沿った方向を軸方向とするように配置されると共に、軸方向に沿って第1および第2の書込線によって貫かれるように構成された環状磁性層とを含むようにしたものである。

【0017】

本発明の磁気メモリデバイスでは、上記した構成により、第1および第2の書込線の双方に電流を流すことによって閉磁路が形成されるので、第1および第2の積層体における各感磁層の磁化反転が効率的に行われる。

【0018】

本発明の磁気メモリデバイスの製造方法は、第1の書込線と、この第1の書込線と交差するように延びる第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含む第1および第2の積層体を有する磁気記憶セルと、を備えた磁気メモリデバイスを製造するための方法であり、第1および第2の整流素子が設けられた基体の上に、第2の積層体の一部をなす第2の積層部分を形成し、第2の整流素子と第2の積層体とを電氣的に接続する工程と、少なくとも積層部分を覆うように下部磁性層を形成し、第2の積層体の形成を完了する工程と、下部磁性層の上に、第1の絶縁膜を介して第1の書込線を形成する工程と、第1の書込線の上に、第2の絶縁膜を介して第2の書込線を、第1および第2の書込線が互いに平行に延在する部分を含むように形成する工程と、第2の書込線と、第2の絶縁膜と、第1の書込線とを順次エッチングしてパターニングすることにより、第1および第2の書込線が第2の絶縁膜を挟んで互いに平行に延在する部分を含む積層パターンを形成する積層パターン形成工程と、積層パターンを第3の絶縁膜

を介して取り囲むように上部磁性層を設けることにより、環状磁性層を形成する工程と、この環状磁性層の上の、第2の積層体に対応する位置に第1の積層部分を設けることにより第1の積層体を形成し、第1および第2の積層体を有する磁気記憶セルを形成する工程と、第1の積層体と第1の整流素子とを電氣的に接続する工程とを含むようにしたものである。

【0019】

本発明の磁気メモリデバイスの製造方法では、上記工程により、共通に設けられた環状磁性層に、互いに積層面が対向するように配置された第1および第2の積層体が形成された構造を得ることができる。ここで、「第1および第2の書込線が第2の絶縁膜を挟んで互いに平行」とは、製造上の誤差範囲 $\pm 10^\circ$ を含むものである。

【0020】

本発明の磁気記憶セルおよび磁気メモリデバイスでは、第1の積層体が、環状磁性層と共に第1の磁気抵抗効果素子を構成し、第2の積層体が、環状磁性層と共に第2の磁気抵抗効果素子を構成していることが望ましい。これにより、環状磁性層を共有化した一对の磁気抵抗効果素子が構成されるので、1つの積層体に対して1つの環状磁性層を設ける場合よりも省スペース化を図ることができる。

【0021】

本発明の磁気記憶セルおよび磁気メモリデバイスでは、第1および第2の積層体が、いずれも環状磁性層と電氣的に接続されていることが望ましい。これにより、第1および第2の積層体において、それぞれ積層面に垂直な方向に流れる電流が感磁層から環状磁性層へと流れるようになる。

【0022】

本発明の磁気記憶セルおよび磁気メモリデバイスでは、複数の導線（第1および第2の書込線）が、環状磁性層を貫く領域において互いに平行に延びるように構成されることが望ましい。こうすることにより、複数の導線（第1および第2の書込線）に電流を流すことによって生じる合成磁界を、複数の書込線（第1および第2の書込線）が互いに交差する場合よりも大きくすることができ、感磁層における磁化反転がより効率的に行われる。

【0023】

本発明の磁気記憶セルおよび磁気メモリデバイスでは、複数の導線（第1および第2の書込線）が、環状磁性層を貫く領域において第1の積層体と第2の積層体とを通る直線方向において互いに隣り合うように配列されるようにしてもよいし、あるいは、環状磁性層を貫く領域において第1の積層体と第2の積層体とを通る直線と直交する方向において互いに隣り合うように配列されるようにしてもよい。

【0024】

本発明の磁気記憶セルおよび磁気メモリデバイスでは、環状磁性層を貫く複数の導線（第1および第2の書込線）の双方を流れる電流により生ずる磁界によって、第1および第2の積層体における各感磁層の磁化方向が互いに反平行を向くように変化し、第1および第2の積層体に情報が記憶されるようにすることが望ましい。本発明における「磁化方向が互いに反平行」とは、互いの磁化方向、すなわち、各磁性層内の平均の磁化方向のなす相対角度が、厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生ずる程度の誤差等に起因して180度から所定角度だけ外れている場合も含む。また、「情報」とは、一般に磁気メモリデバイスへの入出力信号において「0」、「1」あるいは電流値や電圧値による「High」、「Low」等で表される2値情報という。

【0025】

この磁気記憶セルおよび磁気メモリデバイスでは、第1および第2の積層体において、感磁層の磁化方向が互いに反平行となる状態で情報が記憶される。

【0026】

より具体的には、第1および第2の積層体における一对の感磁層の一方が第1の方向に磁化し他方が第1の方向と反平行をなす第2の方向に磁化する第1の状態と、一对の感磁層の一方が第2の方向に磁化し他方が第1の方向に磁化する第2の状態、のいずれかをとり、第1および第2の状態に対応して第1および第2の積層体に情報が記憶されるようにすることが望ましい。このとき、第1および第2の積層体における双方の感磁層の磁化は、互いに向き合う状態と、反対向き

になる状態との2つの状態をとることができ、これに2値情報が対応する。

【0027】

本発明の磁気記憶セルおよび磁気メモリデバイスでは、一对の感磁層が、環状磁性層のうち的一部分を構成するようにしてもよい。さらに、一对の感磁層が、それぞれ互いに磁氣的に交換結合するように構成された第1および第2の感磁部分を含み、第1の感磁部分が、環状磁性層のうち的一部分を構成するようにしてもよい。加えて、一对の第1の感磁部分と一对の第2の感磁部分との間に、これらを互いに反強磁性結合させるための一对の第1の非磁性導電層を配設するようにしてもよい。

【0028】

また、本発明の磁気記憶セルおよび磁気メモリデバイスでは、一对の第2の感磁部分が一对の第1の感磁部分よりも大きな保磁力を有することが望ましい。これにより、一对の第2の感磁部分の磁化方向がより安定化する。

【0029】

さらに、本発明の磁気記憶セルおよび磁気メモリデバイスでは、第1および第2の積層体が、それぞれ、非磁性層と、この非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、非磁性層の、第1の磁性層と反対側に積層された感磁層とを含み、または、第1および第2の積層体が、それぞれ、非磁性層と、この非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、非磁性層の、第1の磁性層と反対側に積層され、第2の感磁部分として機能する第2の磁性層とを含み、第1および第2の積層体に流れる電流に基づいて情報が検出されるようにしてもよい。この場合、第1の磁性層が第2の磁性層よりも大きな保磁力を有することが望ましい。また、第1の磁性層の非磁性層とは反対側に、第1の磁性層と交換結合した反強磁性の第3の磁性層が配設されるようにしてもよい。第1の磁性層と第3の磁性層との間に、第1の磁性層の側から順に第2の非磁性導電層と、第1の磁性層と反強磁性結合した第4の磁性層とが配設されるようにしてもよい。これらの場合、非磁性層が、トンネル効果を生じさせ得る絶縁層からなるようにすることも可能である。

【0030】

本発明の磁気メモリデバイスでは、さらに、第1および第2の磁気抵抗効果素子にそれぞれ接続され、各磁気抵抗効果素子に読出電流を供給する一対の第1の読出線を備え、各積層体に流れる電流に基づいて磁気記憶セルから情報が読み出されるように構成される。なお、本発明の磁気記憶セルにおいて「接続され」とは、少なくとも電気的に接続された状態を指し、物理的に直接に接続されていない状態であってもよい。

【0031】

この磁気メモリデバイスでは、対をなす磁気抵抗効果素子の感磁層の相対的な磁化方向に応じ、積層体の積層面に垂直な方向に電流を流した場合の電流値が異なることを利用して、情報の読出が行われる。

【0032】

情報の読出については、一対の第1の読出線の各々から第1および第2の積層体の各々に読出電流が供給され、この一対の読出電流値の差分に基づいて磁気記憶セルから情報を読み出すようにすることが望ましい。この方式によれば、読出電流は差動出力されるので、各々の第1の読出線に生ずる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が相殺されて除去されるからである。

【0033】

本発明の磁気メモリデバイスでは、第1および第2の積層体に供給された読出電流の各電流経路上における、一対の第1の読出線と第1および第2の積層体との間にそれぞれ設けられた第1および第2の整流素子と、第1および第2の積層体を流れた読出電流を接地へと導く第2の読出線とを備えていることが好ましい。

【0034】

本発明の「整流素子」とは、電流を一方向のみに通過させ、逆方向の電流の通過を阻止する素子をいう。また、「電流経路」とは、読出電流が積層体に流入するためたどり、積層体を通過し、流出していく経路全体をいう。整流素子は、上記の電流経路上で、接地方向（第2の読出線側）のみに向かうように電流を流す整流作用を有している。この整流素子により、読出対象の各磁気記憶セルに向

かって、共通の第2の読出線に接続されている他の磁気記憶セルからの電流の回り込みを回避できると共に、電流が読出対象の磁気記憶セル内における一方の積層体から他方の積層体へ通過して第1の読出線にまで達することが阻止できる。整流素子としては、ショットキーダイオード、PN接合型ダイオード、バイポーラトランジスタ、またはMOSトランジスタが好適である。

【0035】

さらに、本発明の磁気メモリデバイスでは、第1および第2の整流素子が設けられた基体の上に、第2の積層体と、環状磁性層と、第1の積層体とが順に配設され、第1および第2の整流素子と第1および第2の積層体とがそれぞれ電氣的に接続されていることが望ましい。この場合、整流素子としてバイポーラトランジスタを用い、このバイポーラトランジスタにおけるエミッタと磁気抵抗効果素子とが電氣的に接続するようにすることが可能である。あるいは、整流素子としてMOSトランジスタを用い、このMOSトランジスタにおけるソースと磁気抵抗効果素子とが電氣的に接続されるようにしてもよいし、整流素子をショットキーダイオードとし、基板側から順にエピタキシャル層と金属層とを有し、これらのエピタキシャル層と金属層との間にショットキー障壁を形成するようにしてもよい。

【0036】

本発明の磁気メモリデバイスの製造方法では、積層パターン形成工程において、第2の書込線をマスクとして第2の絶縁膜および第1の書込線を選択的にエッチングすることにより、積層パターンを自己整合的に形成することが望ましい。これによりアライメント精度の高い加工が可能となり、さらに、製造工程全体として簡略化を図ることができる。

【0037】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0038】

〔第1の実施の形態〕

まず、図1～図7を参照して第1の実施の形態に係る磁気メモリデバイスの構

成について説明する。

【0039】

図1は、本実施の形態における磁気メモリデバイスの全体構成を表す概念図である。磁気メモリデバイスは、アドレスバッファ51と、データバッファ52と、制御ロジック部53と、記憶セル群54と、第1の駆動制御回路部56と、第2の駆動制御回路部58と、外部アドレス入力端子A0～A20と、外部データ端子D0～D7とを備えている。

【0040】

記憶セル群54は、一対のトンネル磁気抵抗効果素子（以下、TMR素子という。）を備えた記憶セル1が、互いに直交するワード線方向（X方向）およびビット線方向（Y方向）に多数、配列されたマトリックス構造を有している。記憶セル1は、磁気メモリデバイスにおいてデータを記憶する最小単位であって、本発明における「磁気記憶セル」に対応する一具体例である。記憶セル1については後に詳述する。

【0041】

第1の駆動制御回路部56は、Y方向におけるアドレスデコーダ回路56A、センスアンプ回路56Bおよびカレントドライブ回路56Cを有し、第2の駆動制御回路部58は、X方向におけるアドレスデコーダ回路58A、定電流回路58Bおよびカレントドライブ回路58Cを有するものである。

【0042】

アドレスデコーダ回路56A、58Aは、入力されたアドレス信号に応じた後出のワードデコード線72およびビットデコード線71を選択するものである。センスアンプ回路56Bおよび定電流回路58Bは読出動作を行う際に駆動する回路であり、カレントドライブ回路56C、58Cは書込動作を行う際に駆動する回路である。

【0043】

センスアンプ回路56Bと記憶セル群54とは、読出動作の際にセンス電流が流れる複数のビットデコード線71（後出）によって接続されている。同様に、定電流回路58Bと、記憶セル群54とは、読出動作の際にセンス電流が流れる

複数のワードデコード線 72（後出）によって接続されている。

【0044】

カレントドライブ回路 56C と記憶セル群 54 とは、書込動作の際に必要な書込ビット線 5（後出）を介して接続されている。同様に、カレントドライブ回路 58C と記憶セル群 54 とは、書込動作の際に必要な書込ワード線 6（後出）を介して接続されている。

【0045】

アドレスバッファ 51 は、外部アドレス入力端子 A0～A20 を備えると共に、Y 方向アドレス線 57、X 方向アドレス線 55 を介して第 1 の駆動制御回路部 56 内の Y 方向アドレスデコーダ回路 56A、第 2 の駆動制御回路部 58 内の X 方向アドレスデコーダ回路 58A に接続されている。このアドレスバッファ 51 は、外部からのアドレス信号を外部アドレス入力端子 A0～A20 から取り込み、内部に備えたバッファ増幅器（図示せず）により Y 方向アドレスデコーダ回路 56A、X 方向アドレスデコーダ回路 58B において必要となる電圧レベルまで増幅するものである。さらに、アドレスバッファ 51 は、その増幅したアドレス信号を 2 つに分け、Y 方向アドレス線 57 を介して Y 方向アドレスデコーダ回路 56A に出力すると共に、X 方向アドレス線 55 を介して X 方向アドレスデコーダ回路 58A に出力するように機能する。

【0046】

データバッファ 52 は、入力バッファ 52A および出力バッファ 52B によって構成され、外部データ端子 D0～D7 を備えると共に制御ロジック部 53 と接続されており、制御ロジック部 53 からの出力制御信号 53A によって動作するようになっている。入力バッファ 52A は、Y 方向および X 方向書込用データバス 61、60 を介してそれぞれ第 1 の駆動制御回路部 56 内の Y 方向カレントドライブ回路 56C、第 2 の駆動制御回路部 58 内の X 方向カレントドライブ回路 58C に接続されており、記憶セル群 54 への書込動作を行う際には、外部データ端子 D0～D7 の信号電圧を取り込んで、内部バッファ増幅器（図示せず）により必要となる電圧レベルまで増幅したのち、X 方向書込用データバス 60 および Y 方向書込用データバス 61 を介して X 方向カレントドライブ回路 58C、Y

方向カレントドライブ回路 56C に伝達するように機能する。出力バッファ 52B は、Y 方向読出用データバス 62 を介してセンスアンプ回路 56B に接続されており、記憶セル群 54 に記憶された情報信号を読み出す際には、内部に備えたバッファ増幅器（図示せず）によって、センスアンプ回路 56B から入力される情報信号を増幅したのち、外部データ端子 D0 ～ D7 に低インピーダンスで出力するように機能する。

【0047】

制御ロジック部 53 は、チップセレクト端子 CS およびライトイネーブル端子 WE を備え、データバッファ 52 に接続されている。この制御ロジック部 53 は、複数の記憶セル群 54 のなかから読出および書込対象とするものを選択するチップセレクト端子 CS からの信号電圧と、書込許可信号を出力するように機能するライトイネーブル端子 WE からの信号電圧とを取り込み、データバッファ 52 に向けて出力制御信号 53A を出力するように機能する。

【0048】

次に、本実施の形態の磁気メモリデバイスにおける情報書込動作に係わる構成について説明する。

【0049】

図 2 は、記憶セル群 54 における書込動作に係わる要部平面構成を表す概念図である。図 2 に示したように、本実施の形態の磁気メモリデバイスは、複数の書込ビット線 5 と、この複数の書込ビット線 5 とそれぞれ交差するように延びる複数の書込ワード線 6 とを含んでおり、書込ビット線 5 および書込ワード線 6 の交差する各領域に、これら書込ビット線 5 および書込ワード線 6 が互いに平行に延在する平行部分 10 を有するように構成されている。具体的には、図 2 に示したように、書込ワード線 6 が矩形波状に X 方向に沿って延在する一方で、書込ビット線 5 が直線状に Y 方向に沿って延在している。書込ワード線 6 における矩形波状の立ち上がり部分および立ち下がり部分が、書込ビット線 5 と共に複数の平行部分 10 を形成している。記憶セル 1 は、それぞれの平行部分 10 の少なくとも一部を囲むように、書込ビット線 5 と書込ワード線 6 との交差する各領域に設けられている。ここで、交差する領域に記憶セル 1 が設けられているということは

、交差点の隣に記憶セル 1 が設けられている場合も含んでいる。各記憶セル 1 は、それぞれ TMR 素子 1 a および TMR 素子 1 b によって構成されている。ここで、TMR 素子 1 a および TMR 素子 1 b が、本発明の「一对の磁気抵抗効果素子」に対応する一具体例である。

【0050】

書込ビット線 5 および書込ワード線 6 には、それぞれ Y 方向カレントドライブ回路 58 C, X 方向カレントドライブ回路 56 C からの電流が流れるようになっている。ここで、書込ビット線 5 を流れる電流が、例えば、図 2 に矢印で示したように -Y 方向（紙面上から下）となるようにした場合には、書込ワード線 6 を流れる電流の方向を全体として +X 方向（紙面左から右）とすることが望ましい。こうすることにより、TMR 素子 1 a, 1 b を通過する書込ビット線 5 および書込ワード線 6 の電流方向が、互いに平行（同一方向）となるからである。

【0051】

図 3 は、記憶セル群 54 の要部平面構成をより具体的に表すものである。図 3 に示した書込ビット線 5、書込ワード線 6 および記憶セル 1 は、図 2 と対応するものである。記憶セル 1 は、Y 方向に沿った書込ビット線 5 と書込ワード線 6 との平行部分 10 に配置されている。記憶セル 1 を構成する一对の TMR 素子 1 a, 1 b は、それぞれ感磁層を含む積層体 S20 (S20 a, S20 b) と環状磁性層 4 とを備えており、平行部分 10 における書込ビット線 5 および書込ワード線 6 の双方を流れる電流により生ずる磁界（すなわち、環状磁性層 4 においては外部磁界）によって感磁層の磁化方向が変化するようにになっている。この場合、平行部分 10 における書込ビット線 5 と書込ワード線 6 とは XY 平面においてほぼ一致した位置に設けられているが、Z 方向においては一定の間隔を有するように配置されており、互いに電氣的に絶縁されている。

【0052】

各書込ビット線 5 の両端には、それぞれ書込ビット線引出電極 42 が設けられている。各書込ビット線引出電極 42 は、それぞれ一方が Y 方向カレントドライブ回路 56 C に接続され、他方が最終的に接地されるように接続されている。同様に、各書込ワード線 6 の両端には、それぞれ書込ワード線引出電極 41 が設け

られている。各書込ワード線引出電極 41 は、それぞれ一方が X 方向カレントドライブ回路 58C に接続され、他方が最終的に接地されるように接続されている。

【0053】

図 4 は、記憶セル 1 の拡大斜視図である。第 1 の書込線としての書込ワード線 6 と第 2 の書込線としての書込ビット線 5 とは、互いに平行に延びて環状磁性層 4 を貫いている。書込ワード線 6、書込ビット線 5 および環状磁性層 4 は、絶縁膜 7 を介して互いに電氣的に絶縁されている。積層部分 20a および積層部分 20b は、互いの積層面が対向するように環状磁性層 4 の表面に配置されている。これら一対の積層部分 20a、20b を含む一対の積層体 S20a、S20b は、それぞれ導電層 36a、36b（後出）と電氣的に接続されている。一対の導電層 36a、36b は一対のショットキーダイオード 75a、75b（後出）の一部を構成するものであり、このショットキーダイオード 75a、75b の他端は Y 方向に延在する読出ビット線 33a、33b（図示せず）と接続されている。

【0054】

図 5 は、図 3 に示した記憶セル 1 の、V-V 切断線の矢視方向における断面構成を表すものである。なお、後述する本実施の形態の変形例としての記憶セル 1H と区別するため、ここでは、記憶セル 1P と表示する。

【0055】

図 5 に示したように、記憶セル 1P は、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いに積層面が対向するように配置された積層体 S20a、S20b と、これら積層体 S20a と積層体 S20b との間に、積層面に沿った方向を軸方向とするように共通に配設されると共に、軸方向に沿って書込ワード線 6 および書込ビット線 5 によって貫かれるように構成された環状磁性層 4 とを含んで構成されている。積層体 S20a は、環状磁性層 4 と共に TMR 素子 1a を構成し、積層体 S20b は、環状磁性層 4 と共に TMR 素子 1b を構成している。記憶セル 1P では、書込ワード線 6 および書込ビット線 5 が、環状磁性層 4 を貫く領域において積

層体 S 2 0 a と積層体 S 2 0 b とを通る直線の方角において互いに隣り合うように配列されている。ここで、積層体 S 2 0 a が本発明における「第 1 の積層体」に対応する一具体例であり、一方の積層体 S 2 0 b が本発明における「第 2 の積層体」に対応する一具体例である。

【0056】

感磁層は、環状磁性層 4 のうち的一部分を構成している一対の接続部分 1 4 a, 1 4 b と、後述する一対の第 2 磁性層 8 a, 8 b とによって構成され、一対の接続部分 1 4 a, 1 4 b と一対の第 2 磁性層 8 a, 8 b とはそれぞれ互いに磁氣的に交換結合するようになっている。ここで、接続部分 1 4 a, 1 4 b が本発明における「第 1 の感磁部分」に対応する一具体例であり、一方の第 2 磁性層 8 a, 8 b が本発明における「第 2 の感磁部分」に対応する一具体例である。

【0057】

積層体 S 2 0 a, S 2 0 b は、それぞれ積層部分 2 0 a, 2 0 b と接続部分 1 4 a, 1 4 b とによって構成されている。環状磁性層 4 (接続部分 1 4 a, 1 4 b) の側から順に、第 2 磁性層 8 a, 8 b と、トンネルバリア層 3 a, 3 b と、磁化方向の固定された第 1 磁性層 2 a, 2 b とを含み、積層面に垂直な方向に電流が流れるように構成されている。上述したように、第 2 磁性層 8 a, 8 b は環状磁性層 4 の一対の接続部分 1 4 a, 1 4 b とともに感磁層として機能する。ここで、トンネルバリア層 3 が本発明における「非磁性層」に対応する一具体例である。なお、図 5 では、積層体 S 2 0 a, S 2 0 b の構成を明らかにするため、積層体 S 2 0 a, S 2 0 b の寸法を周囲よりも相対的に大きく誇張して表している。

【0058】

積層体 S 2 0 a, S 2 0 b は、第 1 磁性層 2 a, 2 b と第 2 磁性層 8 a, 8 b との間において積層面に垂直方向の電圧を印加すると、例えば第 1 磁性層 2 a, 2 b の電子がトンネルバリア層 3 a, 3 b を突き抜けて第 2 磁性層 8 a, 8 b に移動してトンネル電流が流れるようになっている。このトンネル電流は、トンネルバリア層 3 a, 3 b との界面部分における第 1 磁性層 2 a, 2 b のスピンと第 2 磁性層 8 a, 8 b のスピンの相対的な角度によって変化する。すなわち、第

1 磁性層 2 a, 2 b のスピンの第 2 磁性層 8 a, 8 b のスピンの互いに平行な場合に抵抗値が最小となり、反平行のときに抵抗値が最大となる。これらの抵抗値を用いて、磁気抵抗変化率 (MR 比) が、式 (1) のように定義される。

【0059】

$$(\text{MR 比}) = dR / R \quad \cdots \cdots (1)$$

【0060】

ここで、「dR」が、スピンの互いに平行である場合と反平行である場合との抵抗値の差であり、「R」が、スピンの互いに平行である場合における抵抗値である。

【0061】

トンネル電流に対する抵抗値 (以下、トンネル抵抗 R_t という。) は、トンネルバリア層 3 a, 3 b の膜厚 T に強く依存する。トンネル抵抗 R_t は、低電圧領域では、式 (2) に示したように、トンネルバリア層 3 a, 3 b の膜厚 T に対して指数関数的に増加する。

【0062】

$$R_t \propto \exp(2\chi T), \quad \chi = \{8\pi^2 m^* (\phi \cdot E_f)^{0.5}\} / h \quad \cdots \cdots (2)$$

【0063】

ここで、「 ϕ 」はバリア高さ、「 m^* 」は電子の有効質量、「 E_f 」はフェルミエネルギー、 h はプランク定数を表す。一般的に、TMR 素子を用いたメモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗 R_t は、数 $10 \text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速化を図るためには、トンネル抵抗 R_t は、 $10 \text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1 \text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが好ましい。したがって、上記のトンネル抵抗 R_t を実現するために、トンネルバリア層 3 a, 3 b の厚み T を 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。

【0064】

トンネルバリア層 3 a, 3 b の厚み T を薄くすることにより、トンネル抵抗 R

tを低減することができる一方で、第1磁性層2a, 2bおよび第2磁性層8a, 8bとの接合界面の凹凸に起因するリーク電流が生じるのでMR比が低下してしまう。これを防止するため、トンネルバリア層3a, 3bの厚みTは、リーク電流が流れない程度の厚みを有する必要がある、具体的には0.3nm以上の厚みであることが望ましい。

【0065】

図5に示した積層体S20a, S20bは、保磁力差型構造を有し、第1磁性層2a, 2bの保磁力のほうが、第2磁性層8a, 8bの保磁力よりも大きくなるように構成されていることが望ましい。具体的には、第1磁性層2a, 2bの保磁力は、 $(50/4\pi) \times 10^3$ A/mよりも大きいことが望ましく、特に $(100/4\pi) \times 10^3$ A/m以上であることが望ましい。こうすることにより、第1磁性層2a, 2bにおける磁化方向が外部擾乱磁界等の不要な磁界の影響を受けるのを防止することができる。第1磁性層2a, 2bは、例えば、5nmの厚みのコバルト鉄合金(CoFe)からなる。他に、単体のコバルト(Co)や、コバルト白金合金(CoPt)、ニッケル鉄コバルト合金(NiFeCo)等を第1磁性層2a, 2bに適用することが可能である。第2磁性層8a, 8bは、例えば、単体のコバルト(Co)、コバルト鉄合金(CoFe)、コバルト白金合金(CoPt)、ニッケル鉄合金(NiFe)あるいはニッケル鉄コバルト合金(NiFeCo)から構成される。また、第1磁性層2a, 2bおよび第2磁性層8a, 8bの磁化容易軸は、第1磁性層2a, 2bと第2磁性層8a, 8bとの磁化方向が互いに平行または反平行となる状態で安定化するようにするため、平行であることが望ましい。

【0066】

環状磁性層4は、書込ビット線5および書込ワード線6における平行部分10の少なくとも一部を環状に取り囲むように延在しており、この平行部分10を流れる電流によって環状磁性層4内部に還流磁界が生ずるように構成されている。上記還流磁界によって環状磁性層4の磁化方向が反転される。環状磁性層4の接続部分14a, 14bおよびこれに隣接する第2磁性層8a, 8bが、情報を記憶する記憶層として機能する。環状磁性層4は、例えば、ニッケル鉄合金(Ni

F e) からなり、その接続部分 14 a, 14 b の保磁力が、 $(100/4\pi) \times 10^3$ A/m 以下の範囲内において第 1 磁性層 2 a, 2 b の保磁力よりも小さくなるように構成されていることが望ましい。 $(100/4\pi) \times 10^3$ A/m を越えるような保磁力では、書込電流の増大に起因する発熱により、TMR 膜 20 a, 20 b 自体の劣化が生じてしまう可能性があるからである。さらに、接続部分 14 a, 14 b の保磁力が第 1 磁性層 2 a, 2 b の保磁力と同等以上となると、書込電流が増大して磁化固定層としての第 1 磁性層 2 a, 2 b の磁化方向を変化させてしまい、記憶素子としての TMR 素子 1 a, 1 b を破壊してしまうからである。また、書込ビット線 5 および書込ワード線 6 による電流磁界を環状磁性層 4 に集中させるために、環状磁性層 4 の透磁率はより大きい方が好ましい。具体的には、2000 以上であり、より好ましくは 6000 以上である。

【0067】

書込ビット線 5 および書込ワード線 6 は、いずれも、10 nm 厚のチタン (Ti) と、10 nm 厚の窒化チタン (TiN) と 500 nm 厚のアルミニウム (Al) とが順に積層された構造を有し、絶縁膜 7 によって、互いに電氣的に絶縁されている。書込ビット線 5 および書込ワード線 6 は、例えば、アルミニウム (Al)、銅 (Cu) およびタングステン (W) のうちの少なくとも 1 種からなるようにしてもよい。これら書込ビット線 5 および書込ワード線 6 を用いた記憶セル 1 に対するより具体的な書込動作については後述する。

【0068】

次に、情報読出動作に係わる構成について説明する。図 6 は、記憶セル群 54 における読出動作に係わる要部平面構成を表し、図 3 に対応するものである。

【0069】

図 6 に示したように、各記憶セル 1 は、XY 平面における複数の読出ワード線 32 と複数の読出ビット線 33 との各交差点に 1 つずつ配設されている。具体的には、読出ビット線 33 は一対の読出ビット線 33 a, 33 b からなり、この読出ビット線 33 a と読出ビット線 33 b との間の領域のうち、読出ワード線 32 と交差する領域に記憶セル 1 が設けられている。ここで、一対の読出ビット線 33 a, 33 b は、一対のショットキーダイオード 75 a, 75 b (後出) を介して一

対の積層部分 20 a, 20 b と電氣的に接続している。一方の読出ワード線 32 は、接続層などを介して記憶セル 1 の環状磁性層 4 と電氣的に接続している。一対の読出ビット線 33 a, 33 b は、各記憶セル 1 における一対の TMR 素子 1 a, 1 b の各々に読出電流を供給するものであり、一方の読出ワード線 32 は、TMR 素子 1 a, 1 b の各々に流れた読出電流を接地へと導くものである。各読出ビット線 33 a, 33 b の両端には、それぞれ読出ビット線引出電極 44 a, 44 b が設けられている。一方、各読出ワード線 32 の両端には、それぞれ読出ビット線引出電極 43 が設けられている。ここで、読出ビット線 33 が本発明の「第 1 の読出线」に対応する一具体例であり、読出ワード線 32 が本発明の「第 2 の読出线」に対応する一具体例である。

【0070】

図 7 は、図 6 に示した VII-VII 切断線における矢視方向の断面構成を表すものである。図 7 に示したように、本実施の形態の磁気メモリデバイスは、記憶セル 1 を含む領域において、整流素子として機能する一対のショットキーダイオード 75 a, 75 b (以下、単にダイオード 75 a, 75 b という。) が設けられた基体 31 の上に、一対の積層部分 20 a, 20 b と、環状磁性層 4 とが順に形成されるように構成されている。ここで、ダイオード 75 a が本発明の「第 1 の整流素子」に対応する一具体例であり、一方のダイオード 75 b が本発明の「第 2 の整流素子」に対応する一具体例である。

【0071】

一対のダイオード 75 a, 75 b は、記憶セル 1 の側から順に導電層 36 a, 36 b とエピタキシャル層 37 と基板 38 とを有し、これら導電層 36 a, 36 b とエピタキシャル層 37 との間にショットキー障壁を形成している。ダイオード 75 a とダイオード 75 b とは、積層部分 20 a, 20 b を挟んで環状磁性層 4 と接続しているほかは互いに電氣的な接続部分をもたないように構成されている。基板 38 は n 型シリコンウェハである。一般に、n 型シリコンウェハには燐 (P) の不純物拡散が施されており、基板 38 としては、燐の高濃度拡散により n⁺⁺ 型となっているものを用いる。これに対し、エピタキシャル層 37 は、燐が低濃度拡散されて n⁻ 型となるようにする。この n⁻ 型半導体であるエピタキシ

ャル層 37 と金属からなる導電層 36 a, 36 b とを接触させることにより、バンドギャップが生じ、ショットキー障壁が形成される。さらに、一対のダイオード 75 a, 75 b は、それぞれ接続層 33 T を介して読出ビット線 33 a, 33 b と接続されている。

【0072】

次に、図 8 を参照して、本実施の形態の磁気メモリデバイスにおける読出動作に係わる回路構成について説明する。

【0073】

図 8 は、記憶セル群 54 とその読出回路からなる回路系の構成図である。この読出回路系は、記憶セル 1 が一対の TMR 素子 1 a, 1 b からなる差動増幅型である。ここでは、各記憶セル 1 の情報の読み出しを、TMR 素子 1 a, 1 b における積層体 S20 a, S20 b それぞれに流す読出電流（読出ビット線 33 a, 33 b から積層体 S20 a, S20 b のそれぞれに流入し、共通の読出ワード線 32 に流出する電流）の差分値を出力として行うようになっている。

【0074】

図 8 において、記憶セル群 54 のビット列ごとの記憶セル 1 と、センスアンプ回路 56 B を含む読出回路の一部とが、読出回路の繰り返し単位である単位読出回路 80 (… , 80 n, 80 n + 1, …) を構成しており、ビット列方向に並列に配置されている。単位読出回路 80 n の各々は、Y 方向アドレスデコード回路 56 A にビットデコード線 71 (… , 71 n, 71 n + 1, …) を介して接続され、出力バッファ 52 B に Y 方向読出用データバス 62 を介して接続されている。

【0075】

記憶セル群 54 には、X 方向に延びる読出ワード線 32 (… , 32 m, 32 m + 1, …) と、Y 方向に延びる一対の読出ビット線 33 a, 33 b とによりマトリクス状の配線がなされている。各記憶セル 1 は、一対の読出ビット線 33 a, 33 b に挟まれた領域のうちの読出ワード線 32 との交差位置に配設されている。各記憶セル 1 における積層体 S20 a, S20 b のそれぞれの一端が、一対のダイオード 75 a, 75 b を介して読出ビット線 33 a, 33 b に接続され、そ

れぞれの他端が共通の読出ワード線 32 に接続される。

【0076】

各読出ワード線 32 の一端は、それぞれ読出ワード線引出電極 43 を介して各読出スイッチ 83 (\dots , 83m, 83m+1, \dots) と接続され、さらに、共通の定電流回路 58B に接続されている。各読出スイッチ 83 は、X 方向アドレスデコード回路 58A とそれぞれワードデコード線 72 (\dots , 72m, 72m+1, \dots) を介して接続されており、X 方向アドレスデコード回路 58A からの選択信号が入力されると導通するように構成されている。定電流回路 58B は、読出ワード線 32 を流れる電流を一定とする機能を有するものである。

【0077】

各読出ビット線 33a, 33b の一端は、読出ビット線引出電極 44a, 44b を介してそれぞれセンスアンプ回路 56B に接続されており、他端は最終的にそれぞれ接地されている。センスアンプ回路 56B は、単位読出回路 80 につき 1 つ設けられ、各単位読出回路 80 において一対の読出ビット線 33a, 33b の間の電位差を取り込み、この電位差を増幅する機能を有するものである。各センスアンプ回路 56B は、それぞれ出力線 82 (\dots , 82n, 82n+1, \dots) に接続され、最終的には Y 方向読出用データバス 62 により、出力バッファ 52B に接続されるようになっている。

【0078】

次に、本実施の形態の磁気メモリデバイスにおける動作について説明する。

【0079】

まず、図 2 および図 9 (A), (B) を参照して、記憶セル 1P における書込動作について説明する。図 9 (A), (B) は、図 5 に示した記憶セル 1P の断面構成における書込電流方向と還流磁界方向 (磁化方向) との関係を表すものである。図 9 (A), (B) において各磁性層に示した矢印は、その磁性層における磁化方向を示す。但し、環状磁性層 4 については磁界方向も併せて示すものである。ここで、第 1 磁性層 2a, 2b は、いずれも -X 方向に磁化が固定されている。

【0080】

図9 (A) は、記憶セル1を通過する互いに平行な書込ビット線5および書込ワード線6に、互いに同一な方向に書込電流が流れる場合を示し、図2に示した書込電流方向に対応する。図9 (A) は、記憶セル1 Pにおいて紙面に垂直な方向に奥から手前へ向かって ($-Y$ 方向へ) 書込電流が流れ、環状磁性層4の内部を反時計回り方向に還流磁界34が発生する場合を示している。この場合は、接続部分14 aおよび第2磁性層8 aの磁化方向が $-X$ 方向となり、接続部分14 bおよび第2磁性層8 bの磁化方向が $+X$ 方向となる。一方、図9 (B) は、書込ビット線5および書込ワード線6を流れる電流方向が図9 (A) に示した状態とは全く逆の電流方向とした場合に対応する。すなわち、図9 (B) は、記憶セル1 Pにおいて紙面に垂直な方向に手前から奥へ向かって ($+Y$ 方向へ) 書込電流が流れ、環状磁性層4の内部を時計回り方向に還流磁界34が発生する場合を示している。この場合は、接続部分14 aおよび第2磁性層8 aの磁化方向が $+X$ 方向となり、接続部分14 bおよび第2磁性層8 bの磁化方向が $-X$ 方向となる。

【0081】

図9 (A), (B) から明らかなように、環状磁性層4を貫く書込ビット線5および書込ワード線6の双方を流れる電流により生ずる還流磁界34の方向に従い、一对のTMR素子1 a, 1 bにおける第2磁性層8 a, 8 bの磁化方向が互いに反対方向となるように変化するので、これを利用することにより記憶セル1に情報を記憶することができる。

【0082】

すなわち、書込ビット線5および書込ワード線6に、同一方向に電流が流れると、環状磁性層4の磁化方向が反転するのに伴って第2磁性層8の磁化方向が変化し、「0」または「1」の2値情報を記憶することができるのである。例えば、図9 (A) の状態、すなわち、一对の第2磁性層8の一方である第2磁性層8 aが $-X$ 方向に磁化し、他方の第2磁性層8 bが $+X$ 方向に磁化する状態に「0」を対応させた場合には、図9 (B) の状態、すなわち、第2磁性層8 aが $+X$ 方向に磁化し、他方の第2磁性層8 bが $-X$ 方向に磁化する状態に「1」を対応させて記憶することができる。ここで、 $-X$ 方向が、本発明における「第1の方

向」に対応する一具体例であり、+X方向が、本発明における「第2の方向」に対応する一具体例である。したがって、図9(A)の状態が、本発明における「第1の状態」に対応する一具体例であり、図9(B)の状態が、本発明における「第2の状態」に対応する一具体例である。

【0083】

この場合、TMR素子1a, 1bにおいては、第1磁性層2a, 2bと第2磁性層8a, 8bとの磁化方向が平行であれば大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなすTMR素子1aおよびTMR素子1bは、必ず一方が低抵抗であり、他方が高抵抗となって情報を記憶するようになっている。なお、書込ビット線5と書込ワード線6とで互いに逆方向に書込電流が流れた場合、あるいは、どちらか一方のみに書込電流が流れた場合には各第2磁性層8の磁化方向は反転せず、データの書き換えは行われなくなっている。

【0084】

以上のように、本実施の形態の磁気メモリデバイスにおける記憶セル1によれば、書込ビット線5と書込ワード線6との双方に同一方向の電流を流すことにより、書込ビット線5によって生じる電流磁界と書込ワード線6によって生じる電流磁界とが環状磁性層4の内部において同一方向となり、合成磁界を形成することができる。このため、環状磁性層4を設けない場合や、書込ビット線5と書込ワード線6とが直交する場合などと比べて大きな磁束密度が得られるので、より効率的に電流磁界を利用することができ、環状磁性層4の接続部分14a, 14bおよび第2磁性層8a, 8bの磁化を反転させるために必要な電流をより小さくすることができる。さらに、記憶セル1において、一对の積層体S20a, S20bを、互いに積層面が対向するように配置したので、接続部分14aおよび第2磁性層8aにおける磁化方向と、接続部分14bおよび第2磁性層8bにおける磁化方向とが、必然的に互いに反平行となる。よって、これを利用することにより、「0」または「1」の2値情報を記憶することができる。また、一对の積層体S20a, S20bに対して環状磁性層4を共通に設けるようにしたので、一对のTMR素子1a, 1bを容易に形成できると共に、記憶セル

1の形成領域を縮小でき、記憶情報の大容量化が可能となる。

【0085】

さらに、トンネルバリア層3と環状磁性層4の接続部分14との間に第2磁性層8を設けるようにしたので、以下のような利点を得られる。すなわち、接続部分14と第2磁性層8との交換結合を形成することが可能となり、第2の感磁部分としての第2磁性層8における磁化方向がより良好に揃うことにより、より安定した書込が可能となる。さらに、接続部分14の保磁力をより小さく抑えることができるので、書込動作時における電流値を低減することにより発熱量を低減でき、磁気メモリデバイスとしての機能を十分に発揮できる。

【0086】

次に、図1、図8および図10を参照して、磁気メモリデバイスにおける読出動作について説明する。

【0087】

まず、第1の駆動制御回路部56におけるアドレスデコード回路56Aにより、複数のビットデコード線71のうちの1つが選択され、対応するセンスアンプ回路56Bに制御信号が伝達される。この結果、読出ビット線33a、33bに読出電流が流れ、TMR素子1a、1bにおける積層体S20a、S20bの側に正の電位が与えられる。同様に第2の駆動制御回路部58におけるX方向アドレスデコード回路58Aにより、複数のワードデコード線72のうちの1つが選択され、対応する箇所の読出スイッチ83が駆動される。選択された読出スイッチ83は通電状態となり、対応する読出ワード線32に読出電流が流れ、TMR素子1a、1bにおける積層体S20a、S20bとは反対側に負の電位が与えられる。したがって、Y方向アドレスデコード回路56AおよびX方向アドレスデコード回路58Aによって選択された1つの記憶セル1に対し、読出に必要な読出電流を流すことができる。この読出電流に基づいて、一对の第2磁性層8a、8bの磁化方向を検出し、記憶された情報を読み出すことができる。ここで、読出ビット線33a、33bからの読出電流が一对のダイオード75a、75bを通過した後、記憶セル1に流入するようにすることが重要である。この理由については、後述する。

【0088】

図10 (A), (B) は、記憶セル1の周辺部を回路図で表したものである。積層体S20a, S20bのそれぞれの第1磁性層2a, 2bの磁化方向を白矢印で示し、第2磁性層8a, 8bの磁化方向を黒矢印で示している。第1磁性層2a, 2bの磁化方向は、いずれも左方向に固定されている。図10 (A) は、図9 (A) に対応する状態であり、積層体S20aにおいて第1磁性層2aと第2磁性層8bとが平行な磁化方向となり、一方の積層体S20bにおいて第1磁性層2bと第2磁性層8bとが反平行な磁化方向となっている。この場合、積層体S20aが低抵抗状態となり、積層体S20bが高抵抗状態となり、例えば、「0」に対応している。一方、図9 (B) に対応する状態である図10 (B) の場合には、図10 (A) の場合とは反対に積層体S20aが高抵抗状態となり、積層体S20bが低抵抗状態となっており、例えば、「1」に対応している。このような2値情報は、積層体S20aと積層体S20bとの抵抗値の大小を利用し、それぞれに流れる電流値の差分を検出することによって読み出すことができる。

【0089】

ここで、本実施の形態の磁気メモリデバイスの読出動作時の作用について、比較例と対比して説明する。図46は、本実施の形態の比較例としての記憶セル501を含む記憶セル群とその読出回路からなる回路系の構成図である。図47は、記憶セル501の断面構成を表すものである。

【0090】

図46および図47に示した比較例は、一対の積層体S20a, S20bに対して、センスアンプ回路56Bとは反対側に1個のダイオード175を設けるようにした構成例である。図47に示したように、記憶セル501は、基体131に埋設されたダイオード175の上に形成されると共に、その上面が一対の読出ビット線33a, 33bと接続されるようになっている。より具体的には、記憶セル501は、接続層136Tを介してダイオード175の導電層136と電氣的に接続されるように構成された環状磁性層4と、この環状磁性層4の表面に対向配置された一対の接続部分20a, 20bとを有している。この一対の接続部

分 20a, 20b が環状磁性層 4 のうちの一部と共に、一対の積層体 S20a, S20b を形成しており、この一対の積層体 S20a, S20b が一対の読出ビット線 33a, 33b とそれぞれ接続されるようになっている。

【0091】

ここで、読出スイッチ 83_m を選択し記憶セル 501_m に記憶された情報を読み出そうとした場合、図 46 および図 47 の比較例では、例えば記憶セル 501_{m+1} を通過する経路 L を辿るような読出電流の回り込みが生じる。なお、実線で示した経路 R が正規の電流経路である。具体的には、例えば、センスアンプ回路 56B から読出ビット線 33a へ流入した読出電流が、本来、読出対象として選択されていない記憶セル 501_{m+1} 積層体 S20a に流入し、さらに共有する環状磁性層 4 を介して積層体 S20b を通過する。こののち、読出ビット線 33b をセンスアンプ回路 56B へ向かって逆流することによって 501_m の積層体 S20b に向かう読出電流と合流してしまうのである。

【0092】

これに対し、本実施の形態の磁気メモリデバイスでは、一対のダイオード 75a, 75b が設けられた基体 31 の上に、積層体 S20b と環状磁性層 4 と積層体 S20a とが順に配設されるようにし、一対の積層体 S20a, S20b を介して一対のダイオード 75a, 75b と環状磁性層 4 とを電氣的に接続するようにした。これにより、一対の積層体 S20a, S20b に供給された読出電流の各電流経路上における、一対の読出ビット線 33a, 33b と一対の積層体 S20a, S20b との間に、一対のダイオード 75a, 75b をそれぞれ配置した回路構成とすることができる。よって、読出対象ではない記憶セルからの不要な電流の回り込みを遮断することができる。すなわち、読出信号に対する雑音を低減することができ、安定した磁気情報の読み出しが可能となる。

【0093】

さらに、本実施の形態の磁気メモリデバイスでは、一対の読出ビット線 33a, 33b の各々から第 1 および第 2 の積層体 S20a, S20b の各々に読出電流が供給し、この一対の読出電流値の差分に基づいて磁気記憶セルから情報を読み出すことができる。これにより、読出電流が差動出力されるので、各々の読出

ビット線 33 に生ずる雑音や、各 TMR 素子 1a, 1b ごとの出力値に含まれるオフセット成分が相殺されて除去される。

【0094】

次に、上記のような構成を有する本実施の形態の磁気メモリデバイスの製造方法について説明する。

【0095】

本実施の形態の磁気メモリデバイスの製造方法は、ダイオード 75a, 75b が設けられた基体 31 の上に、積層体 S20b の一部をなす積層部分 20b を形成する工程と、少なくとも積層部分 20b を覆うように下部磁性層 4B を形成し、積層体 S20b の形成を完了する工程と、下部磁性層 4B の上に、絶縁膜 7A を介して書込ワード線 6 を形成する工程と、この書込ワード線 6 の上に、絶縁膜 7C を介して書込ビット線 5 を、書込ワード線 6 と書込ビット線 5 とが互いに平行に延在する部分を含むように形成する工程と、書込ビット線 5 と、絶縁膜 7C と、書込ワード線 6 とを順次エッチングしてパターニングすることにより、書込ワード線 6 と書込ビット線 5 とが互いに平行に延在する部分を含む積層パターン 19 を形成する積層パターン形成工程と、積層パターン 19 を絶縁膜 7D, 7E を介して取り囲むように上部磁性層 4U を設けることにより、環状磁性層 4 を形成する工程と、環状磁性層 4 の上の、積層体 S20b に対応する位置に積層部分 20a を設けることにより積層体 S20a を形成し、積層体 S20a, S20b を有する記憶セル 1 を形成する工程と積層体 S20a とダイオード 75a とを電氣的に接続する工程とを含むものである。以下、具体的に説明する。

【0096】

図 11～図 30 を参照して、磁気メモリデバイスのうちの、主に、記憶セル 1 の製造方法について、詳細に説明する。なお、図 11～図 30 は、図 7 に対応した断面図であり、その形成過程を表したものである。

【0097】

まず、図 11 に示したように、一対のダイオード 75a, 75b を埋設した基板 31 を用意し、このダイオード 75b における導電層 36b の上に積層部分 20b を形成する。具体的には、まず、i 線ステップ等により、積層部分 20b を

形成する領域以外の領域を覆うように、選択的にレジストパターンを形成する。次に、スパッタ等により全面に亘って、例えばC o F e層からなる第1磁性層2bとアルミニウム (A1) 層とを順に形成する。このアルミニウム層を酸化処理することによりトンネルバリア層3bを得る。さらに、このトンネルバリア層3bの上に、例えばC o F e層からなる第2磁性層8bをスパッタ等により形成する。さらに積層部分20bの加工中における劣化を防止するために、タンタル (Ta) 等よりなるキャップ層 (保護層) を設けるようにしてもよい。次いで、レジストパターンをリフトオフすることにより、所定のパターン形状を有する第1磁性層2、トンネルバリア層3および第2磁性層8からなる積層部分20bを露出させる。

【0098】

次に、例えばTEOS (正珪酸四エチル; $\text{Si}(\text{OC}_2\text{H}_5)_4$) を用いて、CVD (Chemical Vapor Deposition) 装置により全体を覆うように、例えば、酸化シリコン (SiO_2) からなる絶縁膜17Aを形成する。こののち、例えば $(1/\pi) \times 10^6 \text{ A/m}$ の磁界中で250℃の温度下でアニールを行い、第1磁性層2bの磁化方向を固定する。アニール後、例えばCMP (Chemical Mechanical Polishing) 装置により絶縁膜17Aの表面の平坦化をおこない、積層部分20bの上面を露出される。さらに、逆スパッタリングなどにより積層部分20bの上面の不純物を取り除いたのち、少なくとも積層部分20bの上面を覆うように下部磁性層4Bを選択的に形成する。これにより、下部磁性層4Bの一部と積層部分20bとから構成される積層体S20bの形成が一応、完了する。この場合、フォトリソグラフィ法を用いて選択的にレジストフレーム (図示せず) を形成したのち、スパッタ等により、例えばNiFe層を未保護領域に形成し、さらにレジストフレームを除去する。

【0099】

下部磁性層4Bを形成したのち、図12に示したように、CVD装置を用いて全体を覆うように、例えば、 SiO_2 からなる絶縁膜7Aを形成する。この絶縁膜7Aが、本発明の「第1の絶縁膜」に対応する一具体例である。

【0100】

続いて、スパッタ等により絶縁膜 7A の上に、例えばチタン (Ti) からなる金属層 (図示せず) を形成する。こののち、図 13 に示したように、この金属層上に、少なくとも積層体 S20b の形成領域を覆うように選択的に書込ワード線 6 を形成する。具体的には、絶縁膜 7A の上の金属層に所定形状のレジストパターン (図示せず) を形成した後、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、例えば銅 (Cu) からなる書込ワード線 6 を形成する。レジストパターンを除去したのち、イオンミリングにより不要な金属層を除去する。

【0101】

次に、図 14 に示したように、CVD 装置を用いて全体を覆うように、例えば SiO₂ からなる絶縁膜 7B を形成したのち、CMP 装置により、最終的に書込ワード線 6 が露出するまで絶縁膜 7B を研磨し、書込ワード線 6 および絶縁膜 7B の表面の平坦化をおこなう。ここで絶縁膜 7B が、本発明の「第 2 の絶縁膜」に対応する一具体例である。

【0102】

続いて、全体に亘って、例えば SiO₂ からなる絶縁膜 7C を形成したのち、この絶縁膜 7C の上にスパッタ等により、例えばチタンからなる金属層を形成する。こののち、図 15 に示したように、この金属層の書込ワード線 6 に対応する領域を覆うように選択的に書込ビット線 5 を形成する。具体的には、絶縁膜 7C の上に所定形状のレジストパターン (図示せず) を形成した後、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、例えば銅からなる書込ビット線 5 を形成する。レジストパターンを除去したのち、イオンミリングにより不要な金属層を除去する。

【0103】

次に、図 16 に示したように、この書込ビット線 5 をマスクとして、自己整合的に積層パターン 19 を形成する。具体的には、反応性ガスとして C₄F₈ を用いた RIE (反応性イオンエッチング) およびイオンミリングにより、書込ビット線 5 によって保護されていない領域の絶縁膜 7C、書込ワード線 6 および絶縁膜 7A を除去することにより積層パターン 19 を形成する。ここで、下部磁性層

4 Bが露出するまで絶縁膜 7 Aを除去することが重要である。

【0104】

このように、書込ビット線 5 をマスクとして、自己整合的に積層パターン 1 9 を形成することにより、書込ビット線 5 と同じ幅を有する書込ワード線 6 を高精度に形成することができる。さらに、レジストパターンの形成工程およびその除去工程等を省略することができ、製造工程の簡略化を図ることができる。

【0105】

書込ビット線 5 および書込ワード線 6 の平行部分 1 0 における積層パターン 1 9 を形成したのち、図 1 7 に示したように、CVD 装置等を用いて全体を覆うように SiO₂ などからなる絶縁膜 7 D を形成する。

【0106】

次いで、図 1 8 に示したように、イオンミリング等により、積層パターン 1 9 の側面部分に接するように形成された部分を除く絶縁膜 7 D を完全に除去したのち、全面に亘って、例えば NiFe をスパッタ等により、金属層を薄く形成する。こののち図 1 9 に示したように、下部磁性層 4 B が形成されていない領域に対応する金属層の上に、フォトリソグラフィ等により、フォトレジスト層 3 0 A を形成する。

【0107】

フォトレジスト層 3 0 A を形成したのち、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、図 2 0 に示したように、例えば NiFe からなる中間磁性層 4 S を形成する。次いで、フォトレジスト層 3 0 A を除去したのち、イオンミリングにより不要な金属層を除去する。さらに、図 2 1 に示したように、CVD 装置等により全体を覆うように例えば SiO₂ からなる絶縁膜 1 7 B を形成したのち、CMP 装置を用いて最終的に書込ビット線 5 が露出するまで研磨し、書込ビット線 5 を含む平坦な面を形成する。

【0108】

こののち、図 2 2 に示したように、フォトリソグラフィ等により、書込ビット線 5 の平坦な露出面を覆うように選択的に絶縁膜 7 E を形成する。さらに、例えばスパッタ等により金属層を薄く形成する。こののち図 2 3 に示したように、絶

縁膜 17B に対応する領域の金属層の上に、フォトリソグラフィ等により、フォトレジスト層 30B を形成する。さらに、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、例えば NiFe からなる上側磁性層 4U を形成する。これにより、下部磁性層 4B と中間磁性層 4S と上側磁性層 4U とからなる環状磁性層 4 の形成が完了する。ここで、中間磁性層 4S および上側磁性層 4U が本発明の「上部磁性層」に対応する一具体例である。

【0109】

次いで、図 24 に示したように、フォトレジスト層 30B を除去することにより、環状磁性層 4 の一部をなす上側磁性層 4U が露出する。続いて、上側磁性層 4U の上の、積層体 S20b に対応する位置に積層部分 20a を設けることにより積層体 S20a を形成する。具体的には、まず、i 線ステッパ等により、積層部分 20a を形成する領域以外の領域を覆うように、選択的にレジストパターンを形成する。次に、スパッタ等により全面に亘って、例えば CoFe 層からなる第 2 磁性層 8a とアルミニウム (Al) 層とを順に形成する。このアルミニウム層を酸化処理することによりトンネルバリア層 3a を得る。さらに、このトンネルバリア層 3a の上に、例えば CoFe 層からなる第 1 磁性層 2a をスパッタ等により形成する。こののち、レジストパターンをリフトオフすることにより、所定のパターン形状を有する第 1 磁性層 2a、トンネルバリア層 3a および第 2 磁性層 8a からなる積層部分 20a を露出させる。これにより、上側磁性層 4U の一部と積層部分 20a とから構成される積層体 S20a の形成が一応、完了する。

【0110】

続いて、積層部分 20a の上に選択的にフォトレジスト層 30C を形成したのち、図 25 に示したように、例えば TEOS を用いて、CVD (Chemical Vapor Deposition) 装置により全体を覆うように、例えば、酸化シリコン (SiO₂) からなる絶縁膜 17C を形成し、さらに、フォトレジスト層 30C をリフトオフする。

【0111】

次いで、導電層 36a と積層体 S20a とを電氣的に接続する接続層 36T を

形成するため、図 26 に示したように、導電層 36a に対応する領域の一部にビアホール 30H1 を形成する。具体的には、i 線ステッパ等により、ビアホール 30H1 を形成する領域以外の領域を覆うように選択的にレジストパターンを形成したのち、 C_4H_8 等の反応ガスを用いた RIE により、積層方向に導電層 36a に達するまでエッチングを行う。

【0112】

ビアホール 30H1 を形成する際のレジストパターンを除去したのち、図 27 に示したように、導電層 36a と積層体 S20a とを接続するように銅 (Cu) からなる接続層 36T を形成する。例えば、絶縁膜 17C の上に所定形状のフォトレジスト層 30D を選択的に形成したのち、Cu (1) ヘキサフルオロアセチルアセトナト・トリメチルビニルシランを用いて、CVD 装置により接続層 36T の形成をおこなう。

【0113】

接続層 36T を形成したのち、図 28 に示したように、例えば TEOS を用いて、CVD 装置により、例えば SiO_2 からなる絶縁膜 17D を全面に亘って形成する。こののち、図 29 に示したように、上側磁性層 4U (環状磁性層 4) と読出ワード線 32 とを電氣的に接続する接続層 32T を形成するため、上部磁性層 4U に対応する領域の一部にビアホール 30H2 を形成する。具体的には、i 線ステッパ等により、ビアホール 30H2 を形成する領域以外の領域を覆うように選択的にフォトレジスト層 30E を形成したのち、 C_4H_8 等の反応ガスを用いた RIE により、積層方向に上側磁性層 4U に達するまでエッチングを行う。

【0114】

ビアホール 30H2 を形成する際のレジストパターンを除去したのち、図 30 に示したように、上側磁性層 4U と読出ワード線 32 とを接続するように銅からなる接続層 32T と、読出ワード線 32 とを形成する。例えば、Cu (1) ヘキサフルオロアセチルアセトナト・トリメチルビニルシランを用いて、CVD 装置により接続層 32T および読出ワード線 32 の形成をおこなう。さらに、読出ワード線 32 を覆うように全面に亘って、例えば SiO_2 からなる絶縁膜 17E を形成する。

【0115】

こののち、書込ワード線6の各両端末に書込ワード線引出電極41を形成し、書込ビット線5の各両端末に書込ビット線引出電極42を形成し、読出ワード線32の各両端末に読出ワード線引出電極43を形成し、さらに読出ビット線33a, 33bの各両端末に読出ビット線引出電極44a, 44bを形成する。

【0116】

以上により、記憶セル1を含む記憶セル群54の形成が一応完了する。

【0117】

こののち、さらに、スパッタ装置やCVD装置等により SiO_2 または酸化アルミニウム(Al_2O_3)等の保護層を形成する工程と、その保護膜を研磨して各引出電極41~44を露出させる工程とを経ることにより、磁気メモリデバイスの製造が完了する。

【0118】

本実施の形態の製造方法によれば、基体31に埋設されたダイオード75bの上に積層体S20bの一部をなす積層部分20bを形成し、この積層部分20bを覆うように環状磁性層4を形成したのち、環状磁性層4の上の、積層体S20bに対応する位置に積層部分20aを設けることにより積層体S20aを形成し、さらにこの積層体S20aとダイオード75aとを電氣的に接続するようにしたので、図8に示した回路構成に対応した磁気メモリデバイスを得ることができる。すなわち、一对の読出ビット線33a, 33bと一对の積層体S20a, S20bとの間にそれぞれダイオード75a, 75bを形成することができる。このため、センスアンプ回路56Bからの読出電流が、各ダイオード75a, 75bを介してそれぞれ積層体S20a, S20bを通過したのち、一体となった環状磁性層4において合流して読出ワード線32に流入することが可能であり、正規の電流経路以外への不要な回り込みを回避することができる磁気メモリデバイスが得られる。

【0119】

また、図8に示した回路構成に対応させるための方法としては、記憶セル1を形成した上にダイオード(整流素子)を形成することにより磁気メモリデバイス

を形成する方法も考えられるが、この場合にはダイオード（整流素子）を形成する際の熱などにより TMR 素子の積層体が破壊され、その機能を失ってしまうため、実際に形成することは困難である。

【0120】

加えて、本実施の形態の製造方法によれば、書込ビット線 5 をマスクとして、自己整合的に積層パターン 19 を形成するようにしたので、高精度な加工ができると共に、レジストパターンの形成工程およびその除去工程等を省略することができる。全体として製造工程の簡略化を図ることができる。

【0121】

[第2の実施の形態]

次に、図 31～図 35 を参照して、本発明の第 2 の実施の形態の磁気メモリデバイスについて説明する。

【0122】

図 31 は、本実施の形態の磁気メモリデバイスにおける記憶セル 1H の断面構成を表すものであり、上記第 1 の実施の形態における図 5 に対応している。図 32 は、記憶セル 1H の拡大斜視図であり、図 4 に対応する。図 33 は、本変形例の磁気メモリデバイスにおける平面構成をあらわすものであり、図 3 に対応する。図 31～図 33 では、図 3～図 5 に示した構成要素と実質的に同一の部分には同一の符号を付している。

【0123】

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成について、主に、上記第 1 の実施の形態と異なる点について説明し、他の説明は適宜省略する。

【0124】

上記第 1 の実施の形態の記憶セル 1P では、書込ワード線 6 および書込ビット線 5 を、環状磁性層 4 を貫く領域において積層体 S20a と積層体 S20b とを通る直線において互いに隣り合うように配列するようにした。これに対し、本変形例の記憶セル 1H では図 31、図 32 および図 34 に示したように、書込ワード線 6 および書込ビット線 5 を、環状磁性層 4 を貫く領域において積層体 S20

aと積層体S20bとを通る直線と直交する方向において互いに隣り合うように配列するようにした。但し、書込ビット線5と書込ワード線6とは、互いに電氣的に絶縁する必要がある。したがって、図32に示したように、書込ワード線6は、XY平面内においてだけでなくZ方向にも屈曲している。具体的には、書込ワード線6は、書込ビット線5と共にY方向に沿って環状磁性層4を貫く下部書込ワード線6Bと、書込ビット線5および下部書込ワード線6Bを含むXY平面内とは異なるXY平面内においてX方向に延在する上部書込ワード線6Uと、これら上部および下部書込ワード線6U、6Bを接続する接続部分6Tとから構成されている。なお、この場合、上述したように書込ワード線6を屈曲させるだけでなく、書込ビット線5を屈曲させるようにしてもよい。

【0125】

記憶セル1Hは、環状磁性層4を貫く書込ワード線6および書込ビット線5の配列方向に対する積層体S20a、S20bの配設位置が異なる点を除き、記憶セル1Pと同様のコンパクトな構成を備えている。したがって、記憶セル1Hでは、記憶セル1Pと同様の書込および読出動作が可能である。

【0126】

ここで、図2および図35(A)、(B)を参照して、本実施の形態の記憶セル1Hにおける書込動作について説明する。図35(A)、(B)は、図31に示した記憶セル1Hの断面構成における書込電流方向と還流磁界方向(磁化方向)との関係を表すものであり、上記第1の実施の形態における図9(A)、(B)に対応するものである。

【0127】

図35(A)は、記憶セル1Hを通過する互いに平行な書込ビット線5および書込ワード線6に、互いに同一な方向に書込電流が流れる場合を示し、図2に示した書込電流方向に対応する。図35(A)は、記憶セル1Hにおいて紙面に垂直な方向に奥から手前へ向かって(-Y方向へ)書込電流が流れ、書込ビット線5を取り囲む部分の環状磁性層4の内部を反時計回り方向に還流磁界34が発生する場合を示している。この場合は、接続部分14aおよび第2磁性層8aの磁化方向が-X方向となり、接続部分14bおよび第2磁性層8bの磁化方向が+

X方向となる。一方、図35 (B) は、記憶セル1 Hにおいて紙面に垂直な方向に手前から奥へ向かって (+Y方向へ) 書込電流が流れ、環状磁性層4の内部を時計回り方向に還流磁界34が発生する場合を示している。この場合は、接続部分14 aおよび第2磁性層8 aの磁化方向が+X方向となり、接続部分14 bおよび第2磁性層8 bの磁化方向が-X方向となる。

【0128】

図35 (A), (B) から明らかなように、環状磁性層4を貫く書込ビット線5および書込ワード線6の双方を流れる電流により生ずる還流磁界34の方向に従い、一对のTMR素子1 a, 1 bにおける第2磁性層8 a, 8 bの磁化方向が互いに反対方向となるように変化するので、これを利用することにより記憶セル1 Hに「0」または「1」の2値情報を記憶することができる。

【0129】

このように、本実施の形態においても、上述した本実施の形態と同様の効果が得られる。

【0130】

[第3の実施の形態]

次に、図36 (A) を参照して、本発明の第3の実施の形態の磁気メモリデバイスについて説明する。

【0131】

図36 (A) は、本実施の形態の磁気メモリデバイスにおける記憶セル121 Pの断面構成を表すものであり、上記第1の実施の形態における図5に対応している。図36 (A) では、図5に示した構成要素と実質的に同一の部分には同一の符号を付している。

【0132】

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成およびその製造方法について、主に、上記第1の実施の形態と異なる点について説明し、他の説明は適宜省略する。

【0133】

上記第1の実施の形態の磁気メモリデバイスにおける記憶セル1は、感磁層が

、互いに磁氣的に交換結合するように構成された接続部分 14 a, 14 b および第 2 磁性層 8 a, 8 b からなり、接続部分 14 a, 14 b が環状磁性層 4 のうちの一部を構成するようにしたものである。これに対し本実施の形態の磁気メモリデバイスにおける記憶セル 121 P は、図 36 (A) に示したように、感磁層が、環状磁性層 4 のうちの一部を構成するようにしたものである。

【0134】

具体的には、接続部分 84 a, 84 b が環状磁性層 4 における感磁部分であると共に、積層体 S21 a, S21 b における感磁部分としても機能することにより第 2 磁性層 8 a, 8 b を省くことができ、記憶セル 1 よりも簡素な構成の記憶セル 121 P とすることができる。ここで、接続部分 84 a, 84 b が本発明における「感磁層」に対応する一具体例である。

【0135】

但し、この場合には、第 1 磁性層 2 a, 2 b および接続部分 84 a, 84 b の磁化容易軸が、互いに平行であることが望ましい。第 1 磁性層 2 a, 2 b と接続部分 84 a, 84 b との磁化方向が、互いに平行または反平行の状態で安定となるようにするためである。環状磁性層 4 は、例えば、ニッケル鉄合金 (NiFe) からなり、接続部分 84 a, 84 b における断面方向の厚みが例えば 20 nm である。さらに接続部分 84 a, 84 b の保磁力は、 $(50/4\pi) \times 10^3$ A/m 以上 $(100/4\pi) \times 10^3$ A/m 以下の範囲であり、かつ、第 1 磁性層 2 の保磁力よりも小さくなるように構成されていることが望ましい。 $(50/4\pi) \times 10^3$ A/m 未満の保磁力では、接続部分 84 a, 84 b における磁化方向が外部憂乱磁界等の不要な磁界により乱されることがあるからである。一方、 $(100/4\pi) \times 10^3$ A/m を越えるような保磁力では、書込電流の増大に起因する発熱により、TMR 素子 20 自体の劣化が生じてしまう可能性があるからである。さらに、接続部分 84 a, 84 b の保磁力が、第 1 磁性層 2 a, 2 b の保磁力と同等以上となると、書込電流が増大して磁化固定層としての第 1 磁性層 2 a, 2 b の磁化方向を変化させてしまい、記憶素子としての TMR 素子 121 a, 121 b における機能の劣化を招くからである。

【0136】

また、記憶セル 121P では、接続部分 84a, 84b が情報を記憶する記憶層として機能する。すなわち、書込ビット線 5 と書込ワード線 6 とを流れる書込電流によって生ずる還流磁界によって接続部分 84a, 84b の磁化方向が反転され、情報の記憶がなされる。以下、記憶セル 121 における書込動作について具体的に説明する。

【0137】

図 36 (A) は、TMR 素子 121a, 121b を通過する互いに平行な書込ビット線 5 および書込ワード線 6 に、互いに同一な方向に書込電流が流れる場合を示す。図 36 (A) は、TMR 素子 121a, 121b において紙面に垂直な方向に手前から奥へ向かって (+Y 方向へ) 書込電流が流れ、環状磁性層 4 の内部を反時計回り方向に還流磁界 34 が発生する場合を示している。この場合は、接続部分 84a の磁化方向が -X 方向となり、接続部分 84b の磁化方向が +X 方向となる。一方、図示しないが、これとは逆に、紙面に垂直な方向に奥から手前へ向かって (-Y 方向へ) 書込電流が流れ、環状磁性層 4 の内部を時計回り方向に還流磁界 34 が発生する場合には、接続部分 84a の磁化方向が +X 方向となり、接続部分 84b の磁化方向が -X 方向となる。

【0138】

このように書込ビット線 5 および書込ワード線 6 に、同一方向に電流が流れると、接続部分 84a, 84b の磁化方向は互いに反平行となり、0 または 1 を記録することができる。

【0139】

以上のように、本実施の形態の磁気メモリデバイスによれば、接続部分 84a, 84b が環状磁性層 4 における感磁部分であると共に、積層体 S21a, S21b における感磁部分としても機能するようにした。このため、第 2 磁性層 8 を省くことができ、より簡素な構成の記憶セル 121 を構成することができる。

【0140】

[第 4 の実施の形態]

次に、図 36 (B) を参照して、本発明の第 4 の実施の形態の磁気メモリデバイスについて説明する。

【0141】

図36 (B) は、本実施の形態の磁気メモリデバイスにおける記憶セル121Hの断面構成を表すものである。図36 (B) では、上記第3の実施の形態として説明した図36 (A) に示した構成要素と実質的に同一の部分には同一の符号を付している。

【0142】

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成について、上記第3の実施の形態と異なる点について説明し、他の説明は適宜省略する。

【0143】

上記第3の実施の形態の記憶セル121Pでは、書込ワード線6および書込ビット線5を、環状磁性層4を貫く領域において積層体S21aと積層体S21bとを通る直線において互いに隣り合うように配列するようにした。これに対し、本実施の形態の記憶セル121Hでは図36 (B) に示したように、書込ワード線6および書込ビット線5を、環状磁性層4を貫く領域において積層体S21aと積層体S21bとを通る直線と直交する方向において互いに隣り合うように配列するようにした。

【0144】

図36 (B) から明らかなように、環状磁性層4を貫く書込ビット線5および書込ワード線6の双方を流れる電流により生ずる還流磁界34の方向に従い、一对のTMR素子121a, 121bにおける第2磁性層8a, 8bの磁化方向が互いに反対方向となるように変化するので、これを利用することにより記憶セル121Hに「0」または「1」の2値情報を記憶することができる。

【0145】

このように、本実施の形態においても、上記第3の実施の形態と同様の効果が得られる。

【0146】

[第1～第4の実施の形態の変形例]

続いて、図37～図40を参照して、上記第1～第4の実施の形態の変形例としての磁気メモリデバイスにおける磁気記憶セルについて以下に説明する。

【0147】

<変形例1>

図37(A)は、第1の実施の形態の変形例(変形例1)としての記憶セル122Pの断面構成を表すものであり、図9に対応している。図37(A)では、図9に示した構成要素と実質的に同一の部分には同一の符号を付している。

【0148】

上記第1の実施の形態の磁気メモリデバイスにおける記憶セル1(1P)は、感磁層が環状磁性層4のうち的一部分を構成する接続部分14a、14bと、第2磁性層8a、8bとからなり、接続部分14a、14bと第2磁性層8a、8bとがそれぞれ互いに磁氣的に交換結合するように構成したものである。これに対し、本変形例の記憶セル122Pは、図37(A)に示したように、記憶セル1(1P)の構成に加えて、感磁層が、さらに接続部分14a、14bと第2磁性層8a、8bとの間に、これら接続部分14a、14bと第2磁性層8a、8bとをそれぞれ反強磁性結合させるための非磁性導電層9を有するようにしたものである。具体的には、記憶セル122Pは一对のTMR素子122a、122bからなり TMR素子122aは積層体S22aを、TMR素子122bは積層体S22bをそれぞれ有している。一对の積層体S22a、S22bは積層部分22a、22bと接続部分14a、14bとからなり、積層部分22a、22bは、環状磁性層4の側から順に非磁性導電層9a、9bと、第2磁性層8a、8bと、トンネルバリア層3a、3bと、第1磁性層2a、2bとを有している。この非磁性導電層9a、9bは、例えば、ルテニウム(Ru)や銅(Cu)などにより構成される。ここで、非磁性導電層9a、9bが、本発明の「第1の非磁性導電層」に対応する一具体例である。

【0149】

本変形例の記憶セル122Pでは、接続部分14a、14bと第2磁性層8a、8bとがそれぞれ反強磁性結合することにより、接続部分14a、14bの保磁力が $(50/4\pi) \times 10^3 \text{ A/m}$ 未満であっても、接続部分14a、14bにおける磁化方向が外部擾乱磁界等の不要な磁界により乱されるといった問題が生じなくなり、例えば、鉄(Fe)、NiFe、CoFe、NiFeCoおよび

コバルト (Co) 等により環状磁性層 4 を構成することができる。

【0150】

第2磁性層 8a, 8b は、記録を保持する部分となり、反強磁性結合による異方性磁界により安定化される。第2磁性層 8a, 8b の保磁力は、 $(100/4\pi) \times 10^3$ A/m 以下の範囲であり、第1磁性層 2a, 2b の保磁力よりも小さくなるように構成されていることが望ましい。

【0151】

続いて、記憶セル 122P における書込動作について説明する。

【0152】

図 37 (A) は、記憶セル 122P を通過する互いに平行な書込ビット線 5 および書込ワード線 6 に、互いに同一な方向に書込電流が流れる場合に対応している。すなわち、TMR 素子 122a において紙面に垂直な方向に手前から奥へ向かって (+Y 方向へ) 書込電流が流れ、環状磁性層 4 の内部を反時計回り方向に還流磁界 34 が発生する場合を示している。この場合は、第2磁性層 8a の磁化方向が +X 方向となり、第2磁性層 8b の磁化方向が -X 方向となる。一方、これとは逆に TMR 素子 122a において紙面に垂直な方向に奥から手前へ向かって (-Y 方向へ) 書込電流が流れ、時計回り方向に還流磁界 34 が発生する場合は、第2磁性層 8a の磁化方向が -X 方向となり、第2磁性層 8b の磁化方向が +X 方向となる。このように書込ビット線 5 および書込ワード線 6 に、同一方向に電流が流れると、第2磁性層 8 の磁化方向は互いに反平行となり、0 または 1 を記録することができる。

【0153】

以上のように、変形例 1 としての記憶セル 122P は、上記第 1 実施の形態の構成に加え、さらに、環状磁性層 4 の接続部分 14a, 14b と第2磁性層 8a, 8b との間にそれぞれ非磁性導電層 9a, 9b を有するようにした。こうすることにより、接続部分 14a, 14b と第2磁性層 8a, 8b とが強力な反強磁性結合を形成することができるので、外部憂乱磁界等による不要な磁界により感磁層としての接続部分 14a, 14b および第2磁性層 8a, 8b の磁化方向が乱されることなくより安定する。これに加え、上記構成により接続部分 14a,

14bの保磁力をより小さく抑えることができる。したがって、書込動作時において電流値を小さくすることによって発熱量を低減することが可能なうえ、接続部分14a, 14bに含まれる金属元素等が第2磁性層8a, 8bへ拡散して移動するのを、非磁性導電層9a, 9bを設けることにより遮蔽することができるので、熱的安定性が向上する。これらの結果、より安定した書込が可能となる。

【0154】

<変形例2>

上記第2の実施の形態の磁気メモリデバイスにおける記憶セル1 (1H)の変形例(変形例2)として、図37(B)に記憶セル122Hの断面構成を示す。記憶セル122Hは、図37(B)に示したように、記憶セル1 (1H)の構成に加えて、感磁層が、さらに接続部分14a, 14bと第2磁性層8a, 8bとの間に、これら接続部分14a, 14bと第2磁性層8a, 8bとをそれぞれ反強磁性結合させるための非磁性導電層9を有するようにしたものである。

【0155】

記憶セル122Hは、上記変形例1と同様に接続部分14a, 14bと第2磁性層8a, 8bとが強力な反強磁性結合を形成するので、結果的に、より安定した書込が可能となる。

【0156】

<変形例3, 4>

図38(A)は、第3の実施の形態の変形例(変形例3)としての記憶セル123Pの断面構成を表すものであり、図36(A)に対応している。また、図38(B)は、第4の実施の形態の変形例(変形例4)としての記憶セル123Hの断面構成を表すものであり、図36(B)に対応している。

【0157】

上記第3および第4の実施の形態における記憶セル121P, 121Hに含まれる積層体S21a, S21bは、接続部分84a, 84bよりも大きな保磁力を有する第1磁性層2a, 2bを備えた保磁力差型とよばれる構造である。これに対し、図38(A), (B)に示した記憶セル123P, 123Hにおける積層体S23a, S23bは、反強磁性層との交換結合により第1磁性層2a, 2

bの磁化方向を固定する交換バイアス型とよばれる構造を呈している。

【0158】

具体的には、積層体 S 2 3 a, S 2 3 b は、環状磁性層 4 の側から順にトンネルバリア層 3 a, 3 b と、第 1 磁性層 2 a, 2 b と、第 3 磁性層 1 5 a, 1 5 b とを有している。第 3 磁性層 1 5 a, 1 5 b は、反強磁性を有しており、第 1 磁性層 2 a, 2 b と交換相互作用により第 1 磁性層 2 a, 2 b の磁化方向を固定するように機能し、例えば、白金マンガン合金 (P t M n)、イリジウムマンガン合金 (I r M n)、鉄マンガン (F e M n)、ニッケルマンガン (N i M n) またはルテニウムマンガン (R u M n) 等の反強磁性材料により構成される。

【0159】

このように、変形例 3 および変形例 4 では、積層体 S 2 3 a, S 2 3 b が、上記第 2 または第 3 の実施の形態の構成に加え、さらに、第 1 磁性層 2 a, 2 b のトンネルバリア層 3 とは反対側に、第 1 磁性層 2 a, 2 b と交換結合した反強磁性の第 3 磁性層 1 5 a, 1 5 b を配設するようにした。こうすることにより、第 1 磁性層 2 a, 2 b の磁化方向をより安定して固定できるので、第 1 磁性層 2 a, 2 b の保磁力を $(50/4\pi) \times 10^3$ A/m 未満にした場合であっても、接続部分 8 4 a, 8 4 b における磁化方向が外部擾乱磁界等の不要な磁界により乱されることがなく、より安定した書込が可能となる。

【0160】

<変形例 5, 6>

次に、図 3 9 を参照して、上記第 3 および第 4 の実施の形態における他の変形例 (変形例 5, 6) について説明する。

【0161】

図 3 9 (A) は、第 3 の実施の形態の他の変形例 (変形例 5) としての記憶セル 1 2 4 P の断面構成を表すものであり、図 3 8 (A) に類似した構成をなしている。一方、図 3 9 (B) は、第 4 の実施の形態の他の変形例 (変形例 6) としての記憶セル 1 2 4 H の断面構成を表すものであり、図 3 8 (B) に類似した構成をなしている。図 3 9 (A), (B) では、図 3 8 (A), (B) に示した構成要素と実質的に同一の部分には同一の符号を付している。

【0162】

上記変形例 3 および変形例 4 と同様に、図 39 (A) に示した変形例 5, 6 の記憶セル 124 P, 124 H における積層体 S24 a, S24 b は、反強磁性層との交換結合により第 1 磁性層 2 a, 2 b の磁化方向を固定する交換バイアス型とよばれる構造を呈している。但し、記憶セル 124 P, 124 H は、記憶セル 123 P, 123 H とは異なり、単層の磁化固定層ではなく複数層からなるシンセティック磁化固定層（以下、SyAP 層という。）を備えるものである。

【0163】

具体的には、積層体 S24 a, S24 b は、環状磁性層 4 の側から順にトンネルバリア層 3 a, 3 b と、SyAP 層 35 a, 35 b と、反強磁性の第 3 磁性層 15 a, 15 b とを有している。SyAP 層 35 a, 35 b は、環状磁性層 4 の側から順に第 1 磁性層 2 a, 2 b と、非磁性導電層 16 a, 16 b と、第 4 磁性層 18 a, 18 b とが積層された構造となっている。非磁性導電層 16 a, 16 b は、例えば、銅により構成される。第 4 磁性層 18 a, 18 b は、例えば、鉄 (Fe)、NiFe、CoFe、NiFeCo またはコバルト (Co) 等により構成され、第 1 磁性層 2 a, 2 b と反強磁性結合している。ここで、非磁性導電層 16 a, 16 b は、本発明における「第 2 の非磁性導電層」に対応する一具体例である。

【0164】

以上のように、変形例 5, 6 では、積層体 S24 a, S24 b が、それぞれ、第 1 磁性層 2 a, 2 b のトンネルバリア層 3 とは反対側に、非磁性導電層 16 a, 16 b と、第 4 磁性層 18 a, 18 b と、第 3 磁性層 15 a, 15 b とを順に積層された構造を有するようにした。こうすることにより、互いに反強磁性結合した第 4 磁性層 18 a, 18 b と第 1 磁性層 2 a, 2 b とによって発生する静磁界が閉磁路を形成するので、感磁層としての接続部分 14 a, 14 b への磁界の回り込みを抑制することができると共に、磁化固定層としての第 1 磁性層 2 a, 2 b の磁化方向がより安定する。よって、より安定した書込動作が可能となる。

【0165】

<変形例 7, 8>

次に、図40を参照して、上記第1および第2の実施の形態における他の変形例（変形例7，8）について説明する。

【0166】

図40（A）は、第1の実施の形態の他の変形例（変形例7）としての記憶セル125Pの断面構成を表すものであり、図40（B）は、第2の実施の形態の他の変形例（変形例8）としての記憶セル125Hの断面構成を表すものである。

【0167】

図40（A），（B）に示したように、変形例7，8の記憶セル125P，125Hにおける積層体S25a，S25bは、交換バイアス型とよばれる構造を有すると共に、SyAP層35a，35bを備えている。こうすることにより、互いに反強磁性結合した第4磁性層18a，18bと第1磁性層2a，2bとによって発生する静磁界が閉磁路を形成するので、第1の感磁部分としての接続部分14a，14bおよび第2の感磁部分としての第2磁性層8a，8bへの磁界の回り込みを抑制することができると共に、磁化固定層としての第1磁性層2a，2bの磁化方向がより安定する。よって、より安定した書込動作が可能となる。

【0168】

【実施例】

さらに、本実施の形態における具体的な実施例について説明する。

【0169】

本実施例では、上記第1の実施の形態において説明した製造方法に基づき、以下の磁気メモリデバイスのサンプルを2つ作成した。具体的には、いずれも図5（A）に示した断面構成を有する記憶セル1をマトリクス状に複数個、設けた磁気メモリデバイスであり、これらを試料1，2とする。

【0170】

上記の試料1および試料2の磁気メモリデバイスについて、MR比、TMR素子抵抗、スイッチング電流および隣接セル反転電流について測定を行った。MR比およびTMR素子抵抗は、記憶セルにおける一対のTMR素子の平均値を測定

値とした。スイッチング電流および隣接セル反転電流については、書込ビット線 5 および書込ワード線 6 に、同一の大きさの書込電流を同時に流すようにして電流値を測定した。この結果を、表 1 に示す。表 1 における実施例 1 が試料 1 に対応し実施例 2 が試料 2 に対応する結果である。なお、数値の比較のため、図 4 4 に示した構造からなる記憶セルについても同様の測定をおこない、比較例として表 1 に併記した。なお、測定時の印加磁場は $(500/4\pi) \times 10^3 \text{ A/m}$ とした。図 4 4 に示した比較例としての記憶セルは、1 つの TMR 素子 120 を備えており、書込ビット線 105 および書込ワード線 106 を囲うような環状磁性層は全く備えていないものである。

【0171】

【表 1】

	MR比 %	TMR素子抵抗 $\Omega \cdot (\mu\text{m})^2$	スイッチング電流 mA	隣接セル 反転電流 mA
実施例 1	36~38	430~510	1.2	20.0以上
実施例 2	37~38	480~490	1.1	20.0以上
比較例	40	520	8.2	13

【0172】

表 1 に示したように、本実施例 1, 2 と比較例とでは、MR 比および TMR 素子抵抗においては大差が見られなかったものの、スイッチング電流および隣接セル反転電流について、明らかな有意差が確認できた。

【0173】

スイッチング電流とは、書込対象の記憶セルにおける磁化方向の反転をおこなうために必要な最小限の電流値である。このスイッチング電流については、実施例 1, 2 が、共に比較例を下回る値を示す結果となった。これは、効率よく感磁層の磁化反転を行うことができたので、小さな電流であっても書き込み操作が可能となったことを示す。すなわち、隣り合う TMR 素子が、環状磁性層の一部を

互いに共有することによって、小さな電流であっても大きな還流磁界を形成できることが確認できた。

【0174】

隣接セル反転電流とは、書込対象の記憶セルと隣接した記憶セルに印加された電流によって、本来、書込がなされるべきでない記憶セルの磁化方向が反転してしまう電流値を表す。表1に示したように、実施例1, 2では、比較例よりも大きな書込電流を印加しても、隣接する記憶セルにおける磁化方向は反転しないことがわかった。これは、閉じた磁路を形成し、隣接する記憶セルに悪影響を及ぼす磁界の発生を抑制することができたことを示す。

【0175】

以上、いくつかの実施の形態および変形例を挙げて本発明を説明したが、本発明は、これらの実施の形態および変形例に限定されず、種々変形可能である。例えば、本実施の形態および各変形例では、逆流防止用の整流素子としてショットキーダイオード75を用いるようにしたが、同じく整流作用を有する素子であるバイポーラトランジスタに置き換えることができる。

【0176】

図41は、読出ビット線33a, 33bと積層体S20a, S20bとの間にバイポーラトランジスタ76a, 76bを設けた場合の回路の要部構成を表している。図42に、バイポーラトランジスタ76a, 76bの断面構造を示す。バイポーラトランジスタ76a, 76bのベースBは、ワードデコード線72に接続されている。各コレクタCが接続層28を介してそれぞれ読出ビット線33a, 33bに接続されており、各エミッタEが接続層27を介してそれぞれ積層体S20a, S20bに接続されている。

【0177】

図43は、このバイポーラトランジスタ76a, 76bを設けた場合における読出回路の全体を示したものである。この場合、Y方向アドレスデコード回路56Aからの制御信号が例えば単位読出回路80nのセンスアンプ回路56Bに伝達されると、センスアンプ回路56Bが読出ビット線33a, 33bを通るように読出電流を発する。Y方向アドレスデコード回路56Aからの制御信号は同時

に読出スイッチ 83 n にも伝達され、この読出スイッチ 83 n が導通状態となる。一方、X 方向アドレスデコード回路 58 A が記憶セル 1 m を選択し、ワードデコード線 72 m を通るよう制御信号を発する。バイポーラトランジスタ 76 a, 76 b のそれぞれのベース B に X 方向アドレスデコード回路 58 A からの制御信号が伝達されると、コレクタ C とエミッタ E との間がそれぞれ導通状態となる。この結果、読出電流が、記憶セル 1 m の各積層体 S 20 a, S 20 b を通過し、読出スイッチ 83 n を経由して最終的に定電流回路 58 B へ流入する。ダイオード 75 と同様にバイポーラトランジスタ 76 も、一方向に電流を通過するように機能するので、図 46 に示したような読出電流の回り込みを回避することが可能である。

【0178】

また、逆流防止用の整流素子として、図 44 に示したように、MOS トランジスタ 77 a, 77 b を用いることができる。この場合、各ソース S がそれぞれ読出ビット線 33 a, 33 b に接続し、各ドレイン D がそれぞれ TMR 膜 20 a, 20 b に接続しており、ワードデコード線 72 に接続されたゲート G が閉じることにより導通状態とすることができる。図 45 は、MOS トランジスタ 77 a, 77 b を設けた場合における読出回路の全体を示したものである。ゲート G を閉じることによって導通状態とする点を除き、図 45 に示した読出回路における読出動作は上記バイポーラトランジスタ 76 を用いた回路（図 43）と同様である。

【0179】

また、本実施の形態では、書込ビット線 5 と書込ワード線 6 とが互いに平行部分 10 をなす場合について説明したが、これに限定されず、互いに例えば 90° をなすような場合であってもよい。ただし、平行部分 10 を取り囲むように環状磁性層 4 を形成する場合のほうが、感磁層の磁化反転がより効率的に行われるのでより好ましい。

【0180】

また、本実施の形態では、各記憶セル 1 の情報の読み出しを、TMR 素子 1 a, 1 b それぞれに流す読出電流の差分値を出力として行うようにしたが、これに

限定されない。例えば、ある 1 つの TMR 素子を通過する読出電流の値をそのまま出力させ、高抵抗状態にあるか低抵抗状態にあるかの検出をおこなうようにしてもよい。

【0181】

【発明の効果】

以上説明したように、本発明の磁気記憶セルまたは磁気メモリデバイスによれば、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いに積層面が対向するように配置された第 1 および第 2 の積層体と、これら第 1 および第 2 の積層体におけるそれぞれの一方の面側に、積層面に沿った方向を軸方向とするように共通に配設されると共に、軸方向に沿って複数の導線（第 1 および第 2 の書込線）によって貫かれるように構成された環状磁性層とを備えるようにしたので、複数の導線（第 1 および第 2 の書込線）に電流を流すことによって閉磁路を形成することができ、第 1 および第 2 の積層体における各感磁層の磁化反転を効率的に行うことができる。特に、複数の磁気記憶セルを含む本発明の磁気メモリデバイスにおいては、書込対象とする記憶セルに隣接した記憶セルに対して与える磁気的な影響を低減することができる。

【0182】

特に、第 1 の積層体が、環状磁性層と共に第 1 の磁気抵抗効果素子を構成し、第 2 の積層体が、環状磁性層と共に第 2 の磁気抵抗効果素子を構成するようにした場合には、環状磁性層を共有化した一対の磁気抵抗効果素子が構成されるので、1 つの積層体に対して 1 つの環状磁性層を設ける場合よりもコンパクトな構成とすることができ、高密度化が可能となる。

【0183】

さらに、本発明の磁気記憶セルおよび磁気メモリデバイスによれば、特に、複数の書込線（第 1 および第 2 の書込線）が、環状磁性層を貫く領域において互いに平行に延びるようにした場合には、複数の導線（第 1 および第 2 の書込線）に電流を流すことによって感磁層に生じる合成磁界を、これらの導線が互いに交差する場合よりも大きくすることができ、感磁層における磁化反転をより効率的に

行うことができる。その結果、磁化反転に必要とされる書込電流をより小さくすることができる。さらに、感磁層における複数の磁区の磁化方向を全体に亘って良好に揃えることができるので、より高い信頼性が得られる。

【0184】

また、本発明の磁気メモリデバイスによれば、特に、第1および第2の磁気抵抗効果素子に供給された読出電流の各電流経路上における、一对の第1の読出線と第1および第2の磁気抵抗効果素子との間にそれぞれ設けられた第1および第2の整流素子と、第1および第2の磁気抵抗効果素子を通じた読出電流を接地へと導く第2の読出線とを備えるようにした場合には、読出電流の回り込みによる変動、すなわち読出信号に対する雑音を低減することができ、安定した磁気情報の読み出しが可能となる。

【0185】

本発明の磁気メモリデバイスの製造方法によれば、第1および第2の整流素子が設けられた基体の上に、第2の積層体の一部をなす第2の積層部分を形成し、第2の整流素子と第2の積層体とを電気的に接続する工程と、少なくとも積層部分を覆うように下部磁性層を形成し、第2の積層体の形成を完了する工程と、下部磁性層の上に、第1の絶縁膜を介して第1の書込線を形成する工程と、第1の書込線の上に、第2の絶縁膜を介して第2の書込線を、第1および第2の書込線が互いに平行に延在する部分を含むように形成する工程と、第2の書込線と、第2の絶縁膜と、第1の書込線とを順次エッチングしてパターニングすることにより、第1および第2の書込線が第2の絶縁膜を挟んで互いに平行に延在する部分を含む積層パターンを形成する積層パターン形成工程と、積層パターンを第3の絶縁膜を介して取り囲むように上部磁性層を設けることにより、環状磁性層を形成する工程と、環状磁性層の上の、第2の積層体に対応する位置に第1の積層部分を設けることにより第1の積層体を形成し、第1および第2の積層体を有する磁気記憶セルを形成する工程と、第1の積層体と第1の整流素子とを電気的に接続する工程とを含むようにしたので、互いの積層面が対向した第1および第2の積層体のそれぞれにおける一方の面側に、積層面に沿った方向を軸方向とするように共通に環状磁性層を配設した構造を得ることができる。また、一对の読

出電流が第1および第2の整流素子と第1および第2の積層体とをそれぞれ流れたのち、環状磁性層において合流するような電流経路を構成することができる。このため、読出電流の不要な回り込みを回避することができ、安定した磁気情報の読み出しが可能となる。

【0186】

特に、積層パターン形成工程において、第2の書込線をマスクとして第2の絶縁膜および第1の書込線を選択的にエッチングすることにより、積層パターンを自己整合的に形成するようにした場合には、アライメント精度の高い加工が可能となり、さらに、製造工程全体として簡略化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

【図2】

図1に示した磁気メモリデバイスの書込線の構成を示す平面図である。

【図3】

図1に示した磁気メモリデバイスの記憶セル群の要部構成を示す部分平面図である。

【図4】

図1に示した磁気メモリデバイスの記憶セル群の要部構成を示す要部斜視図である。

【図5】

図3に示した記憶セルのV-V線に沿った切断面の構成を示す断面図である。

【図6】

図1に示した磁気メモリデバイスの記憶セル群の要部構成を示す他の部分平面図である。

【図7】

図6に示した記憶セルのVII-VII線に沿った切断面の構成を示す断面図である。

【図 8】

図 1 に示した磁気メモリデバイスの回路構成を示す回路図である。

【図 9】

図 5 に示した記憶セルの断面構成における書込電流方向と還流磁界方向（磁化方向）との関係を表す説明図である。

【図 10】

図 8 に示した回路構成における部分拡大図である。

【図 11】

図 1 に示した磁気メモリデバイスの製造方法における一工程を表す拡大断面図である。

【図 12】

図 11 に続く一工程を表す拡大断面図である。

【図 13】

図 12 に続く一工程を表す拡大断面図である。

【図 14】

図 13 に続く一工程を表す拡大断面図である。

【図 15】

図 14 に続く一工程を表す拡大断面図である。

【図 16】

図 15 に続く一工程を表す拡大断面図である。

【図 17】

図 16 に続く一工程を表す拡大断面図である。

【図 18】

図 17 に続く一工程を表す拡大断面図である。

【図 19】

図 18 に続く一工程を表す拡大断面図である。

【図 20】

図 19 に続く一工程を表す拡大断面図である。

【図 21】

図 20 に続く一工程を表す拡大断面図である。

【図 22】

図 21 に続く一工程を表す拡大断面図である。

【図 23】

図 22 に続く一工程を表す拡大断面図である。

【図 24】

図 23 に続く一工程を表す拡大断面図である。

【図 25】

図 24 に続く一工程を表す拡大断面図である。

【図 26】

図 25 に続く一工程を表す拡大断面図である。

【図 27】

図 26 に続く一工程を表す拡大断面図である。

【図 28】

図 27 に続く一工程を表す拡大断面図である。

【図 29】

図 28 に続く一工程を表す拡大断面図である。

【図 30】

図 29 に続く一工程を表す拡大断面図である。

【図 31】

本発明の第 2 の実施の形態に係る磁気メモリデバイスにおける磁気記憶セルの断面図である。

【図 32】

図 31 に示した磁気メモリデバイスの記憶セル群における要部構成を示す要部斜視図である。

【図 33】

図 31 に示した磁気メモリデバイスの記憶セル群における要部構成を示す部分平面図である。

【図 34】

図 3 3 に示した記憶セルの XXXIV - XXXIV 線に沿った切断面の構成を示す断面図である。

【図 3 5】

図 3 1 に示した記憶セルの断面構成における書込電流方向と還流磁界方向（磁化方向）との関係を表す説明図である。

【図 3 6】

本発明の第 3 および第 4 の実施の形態に係る磁気メモリデバイスにおける要部構成を表す断面図である。

【図 3 7】

本発明の第 1 および第 2 の実施の形態に係る磁気メモリデバイスにおける変形例（変形例 1, 2）の要部構成を表す断面図である。

【図 3 8】

本発明の第 3 および第 4 の実施の形態に係る磁気メモリデバイスにおける変形例（変形例 3, 4）の要部構成を表す断面図である。

【図 3 9】

本発明の第 3 および第 4 の実施の形態に係る磁気メモリデバイスにおける他の変形例（変形例 5, 6）の要部構成を表す断面図である。

【図 4 0】

本発明の第 1 および第 2 の実施の形態に係る磁気メモリデバイスにおける他の変形例（変形例 7, 8）の要部構成を表す断面図である。

【図 4 1】

図 8 に示した回路構成における整流素子の変形例を表す部分拡大図である。

【図 4 2】

図 4 1 に示した整流素子の変形例における断面構成を示す部分断面図である。

【図 4 3】

図 4 1 に示した整流素子の変形例における全体の回路構成を示す回路図である。

。

【図 4 4】

図 8 に示した回路構成における整流素子の他の変形例を表す部分拡大図である。

【図 4 5】

図 4 4 に示した整流素子の他の変形例における全体の回路構成を示す回路図である。

【図 4 6】

図 8 に示した回路構成に対応する比較例としての回路構成を示す回路図である。

【図 4 7】

図 3 8 に示した回路構成に対応する磁気メモリデバイスの要部構成を説明するための断面図である。

【図 4 8】

従来例としての磁気メモリデバイスの構成を説明するための平面図である。

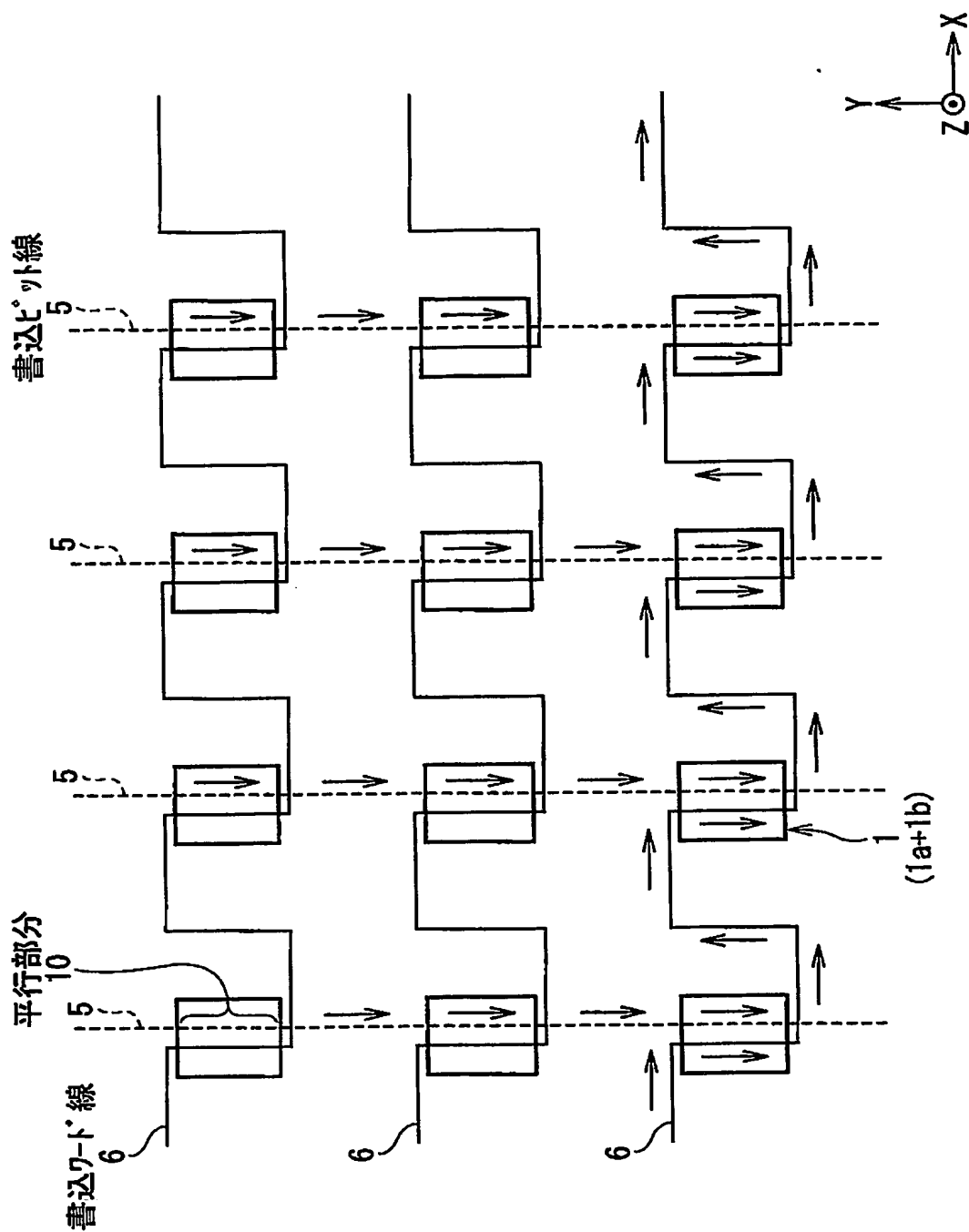
【図 4 9】

従来例としての磁気メモリデバイスの要部構成を説明するための断面図である。

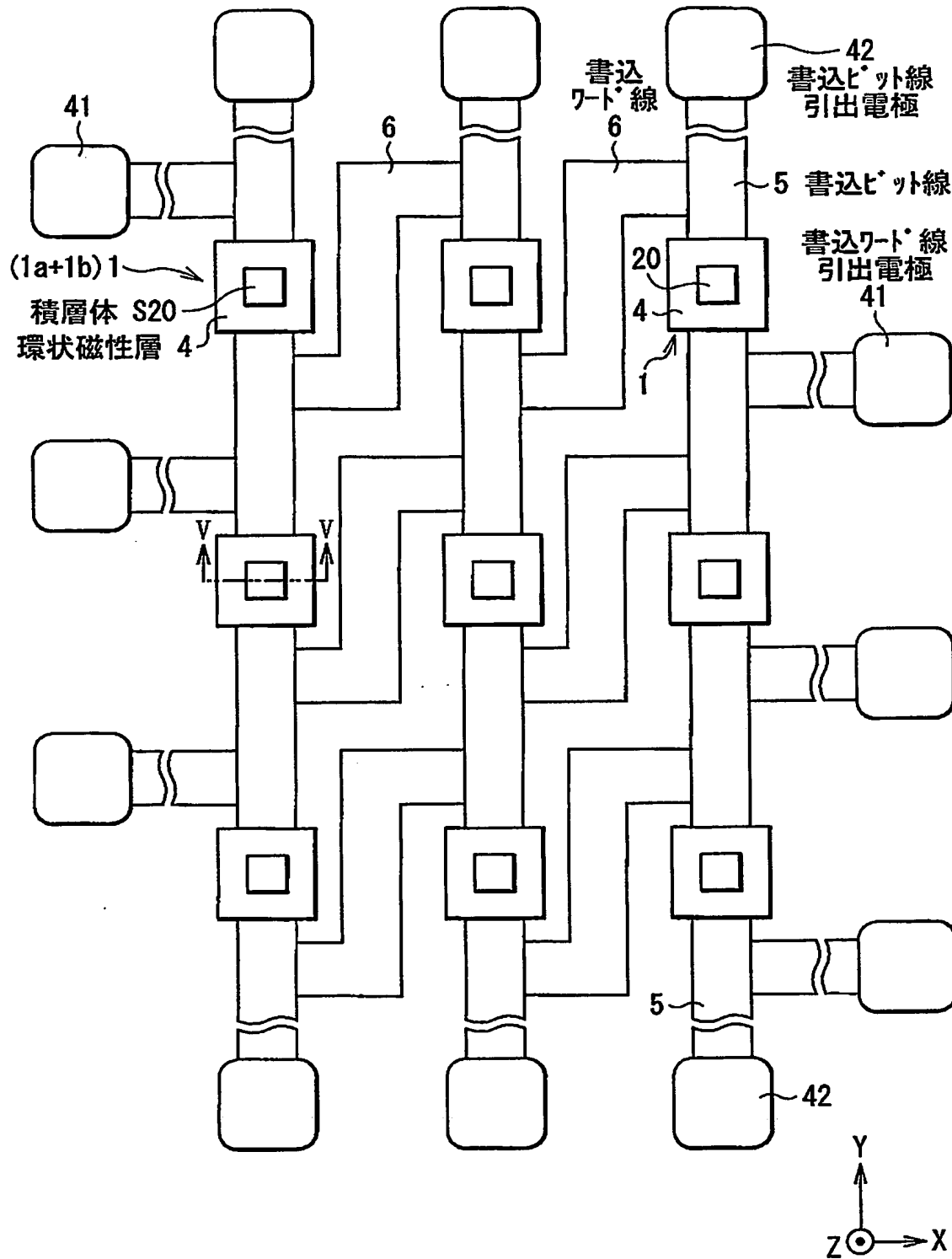
【符号の説明】

1…記憶セル、1 a, 1 b…磁気抵抗効果 (TMR) 素子、2…第 1 磁性層、3…トンネルバリア層、4…環状磁性層、5…書込ビット線、6…書込ワード線、7…絶縁膜、8…第 2 磁性層、9…非磁性導電層、10…平行部分、14…接続部分、15…第 3 磁性層、18…第 4 磁性層、19…積層パターン、S20, S21, S22, S23, S24, S25…積層体、32…読出ワード線、33…読出ビット線、35…非磁性導電層、41…書込ワード線引出電極、42…書込ビット線引出電極、43…読出ワード線引出電極、44…読出ビット線引出電極。

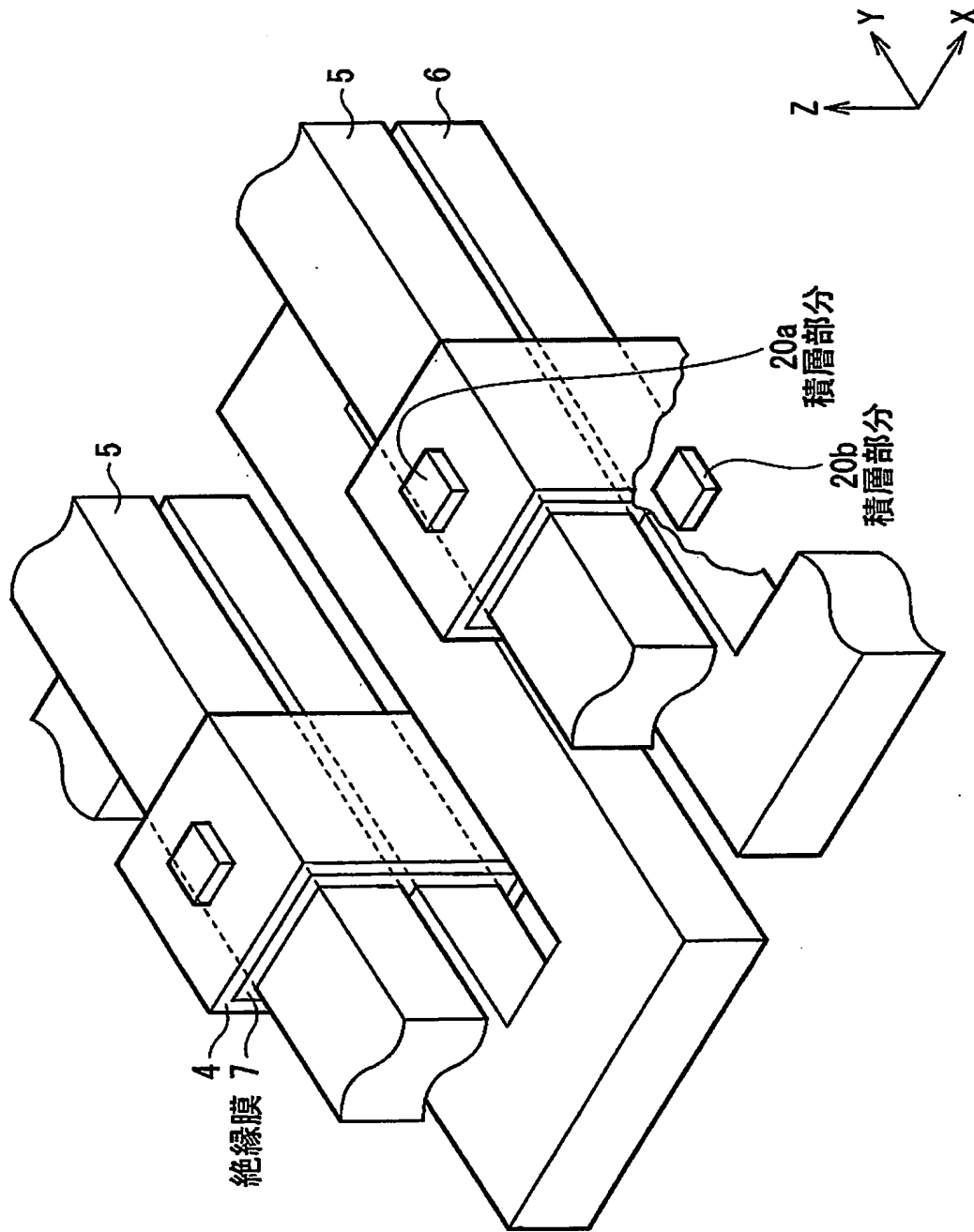
【図 2】



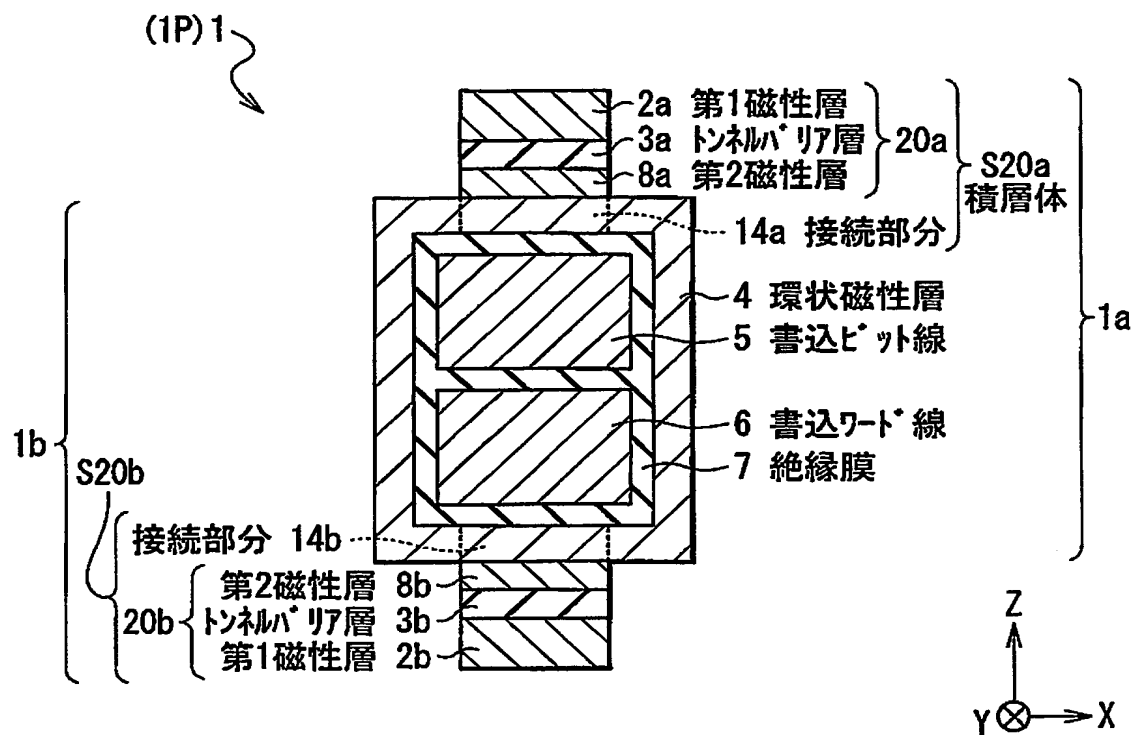
【図 3】



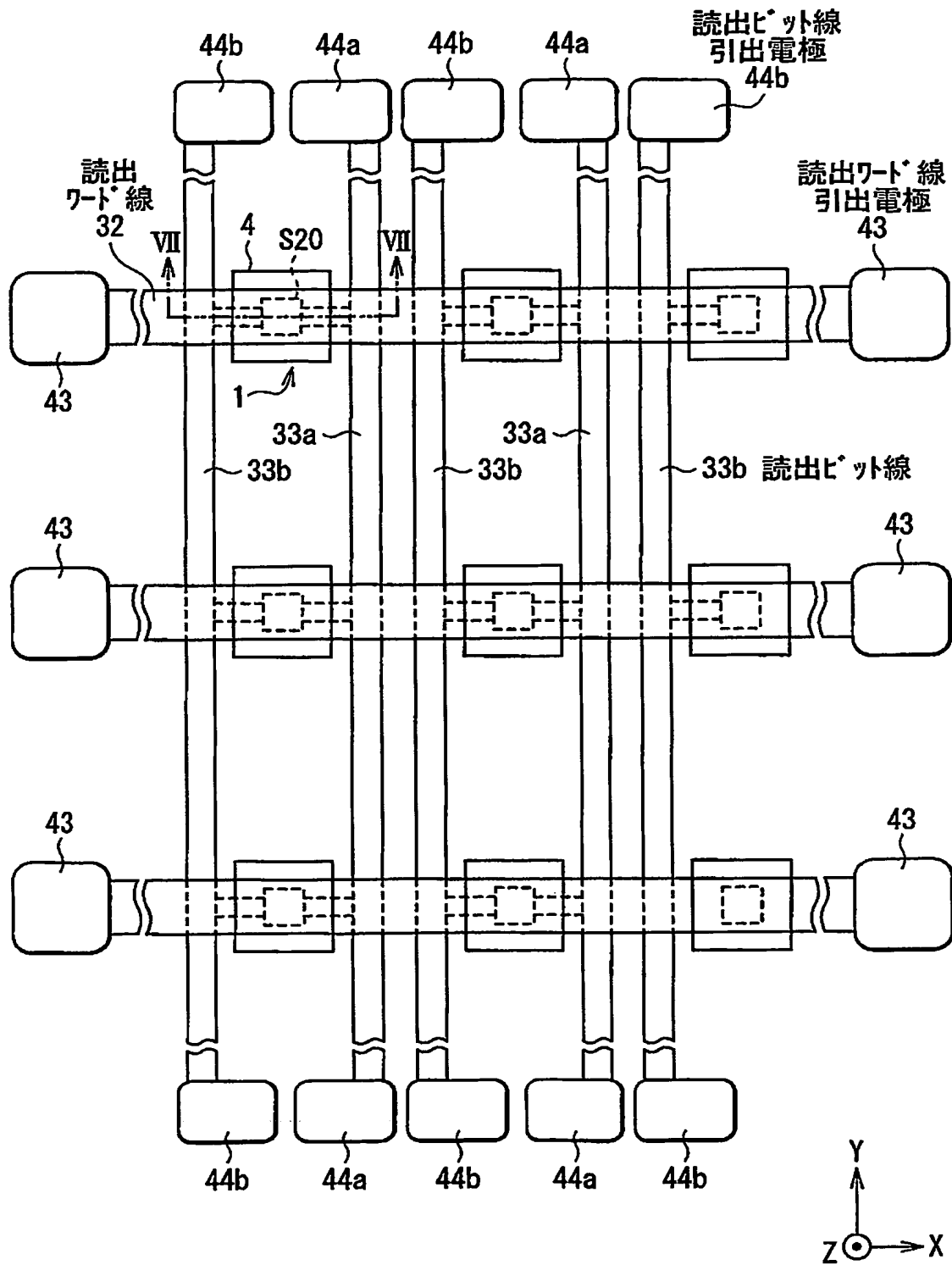
【図 4】



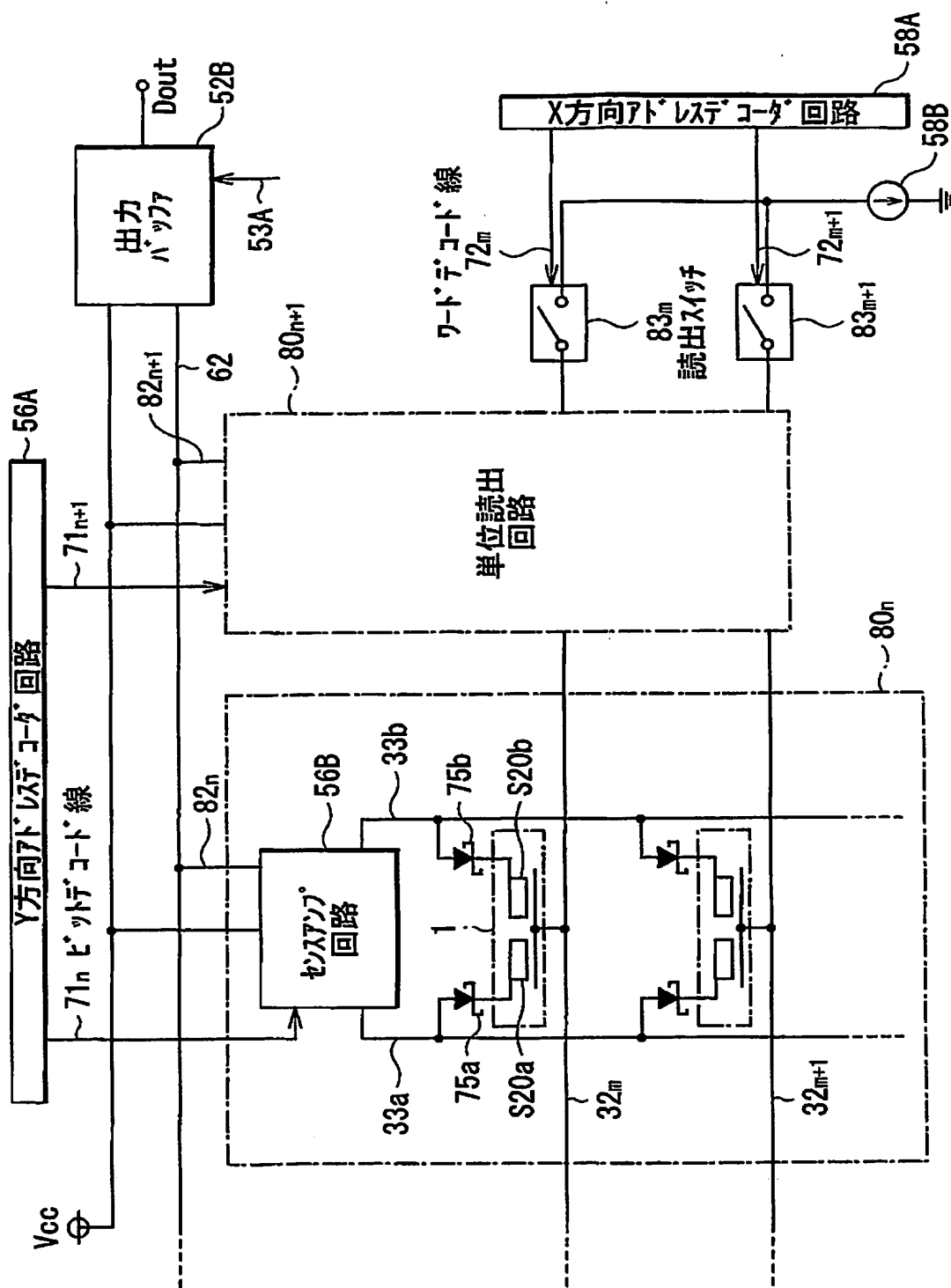
【図 5】



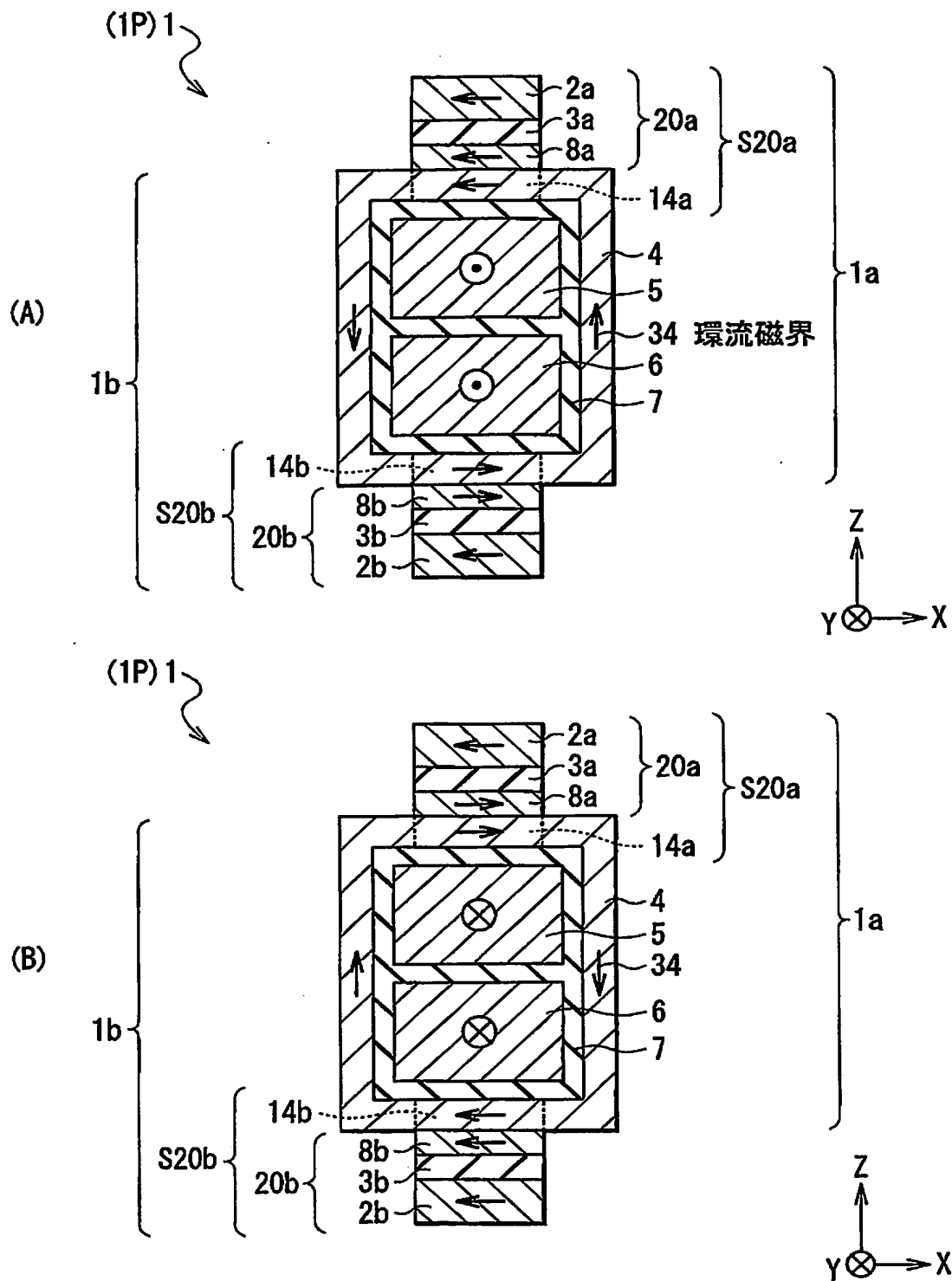
【図 6】



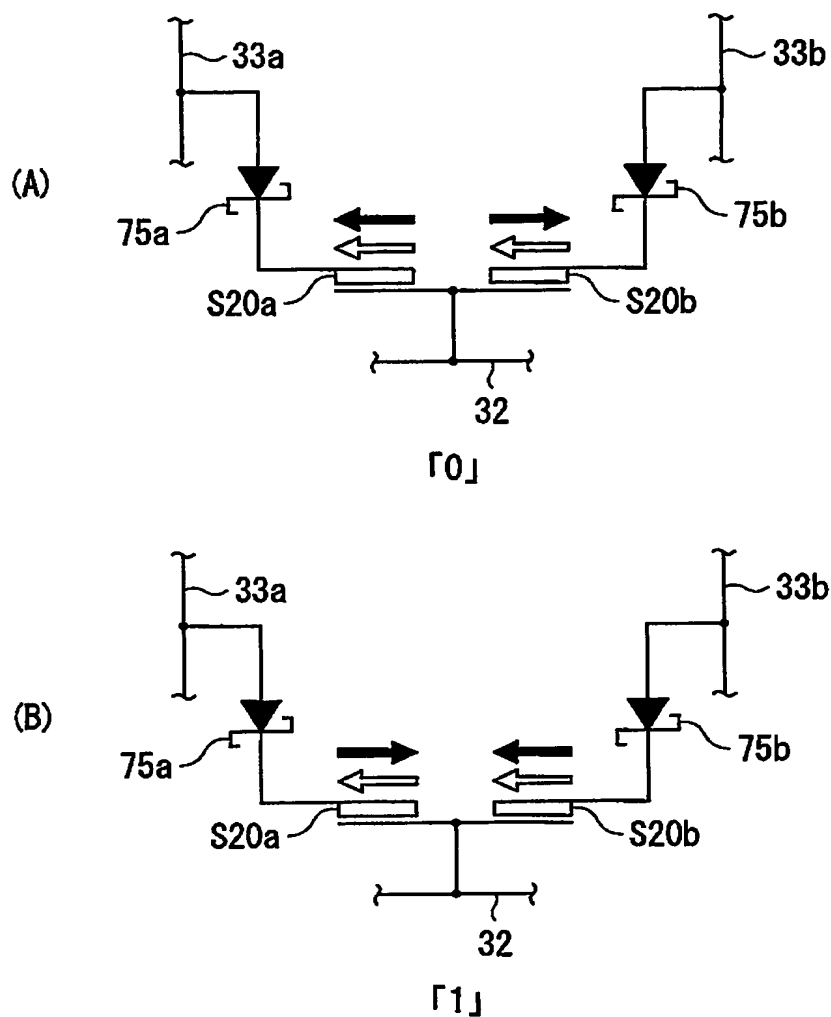
【図8】



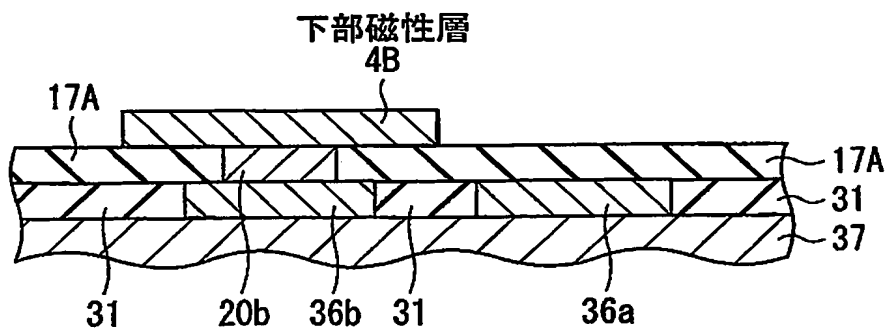
【図 9】



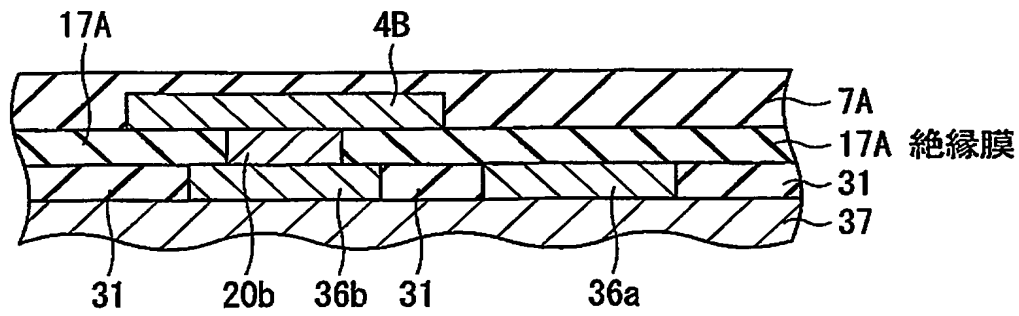
【図 10】



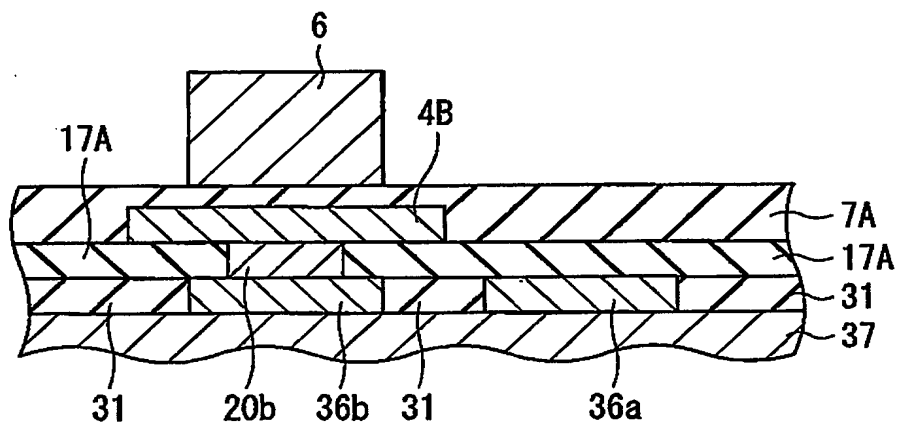
【図 11】



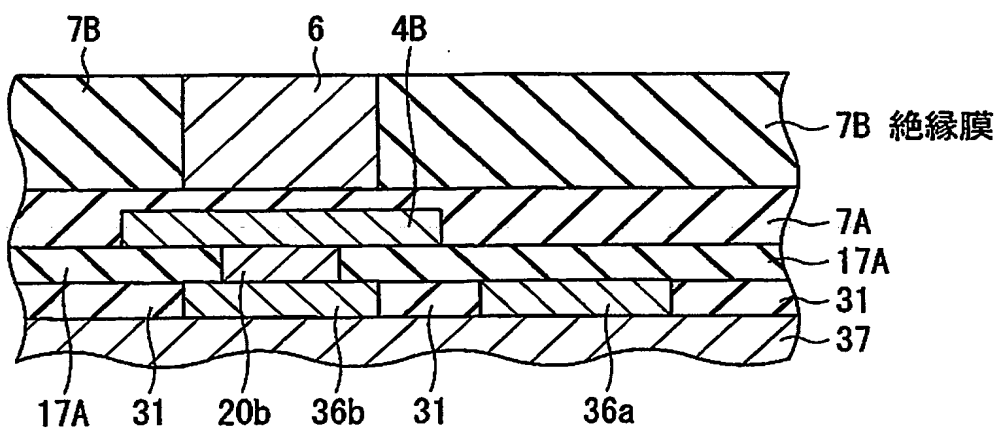
【図 1 2】



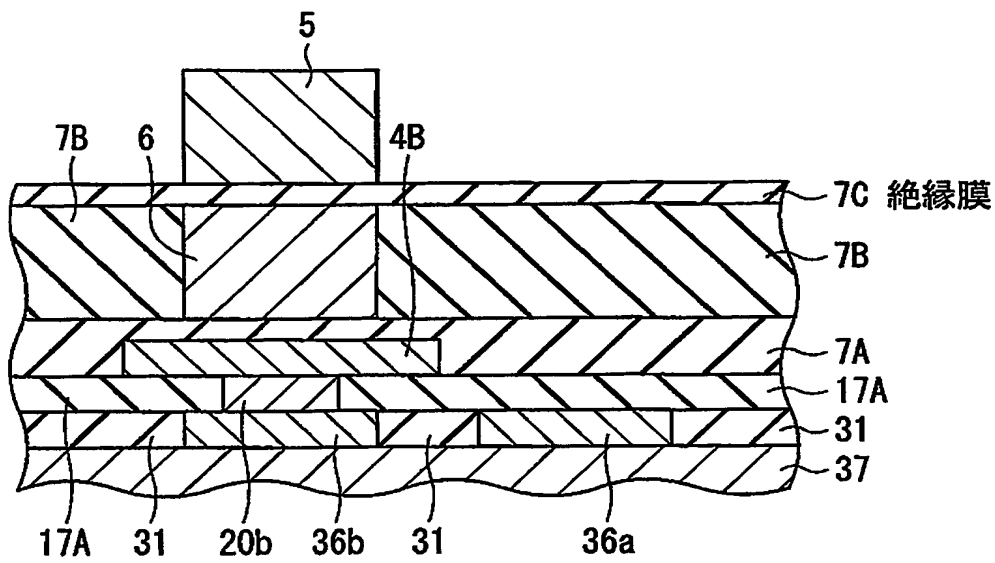
【図 1 3】



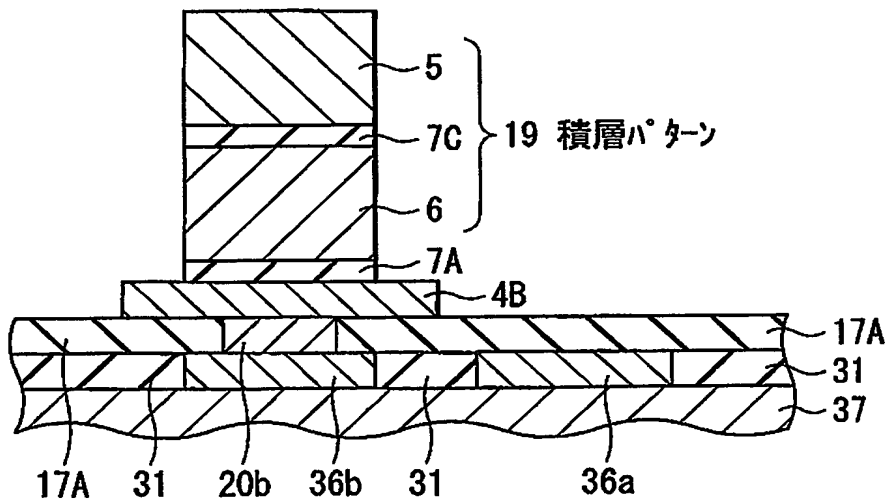
【図 1 4】



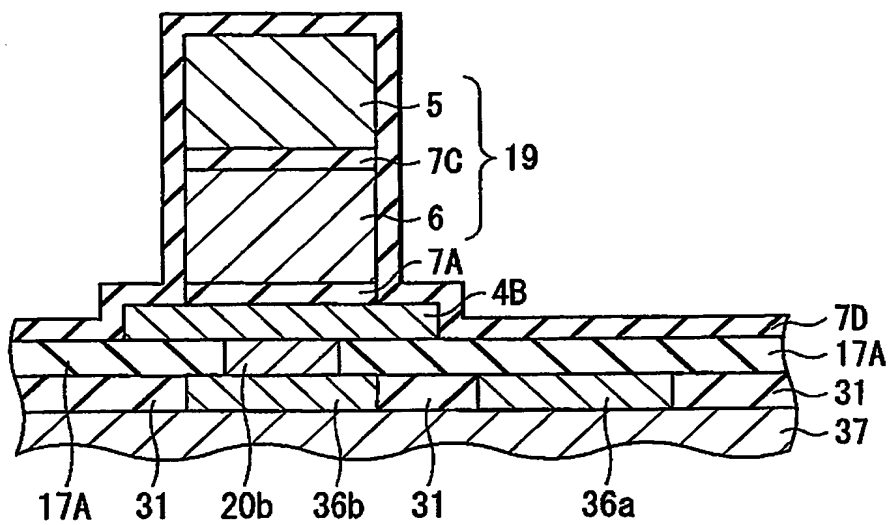
【図15】



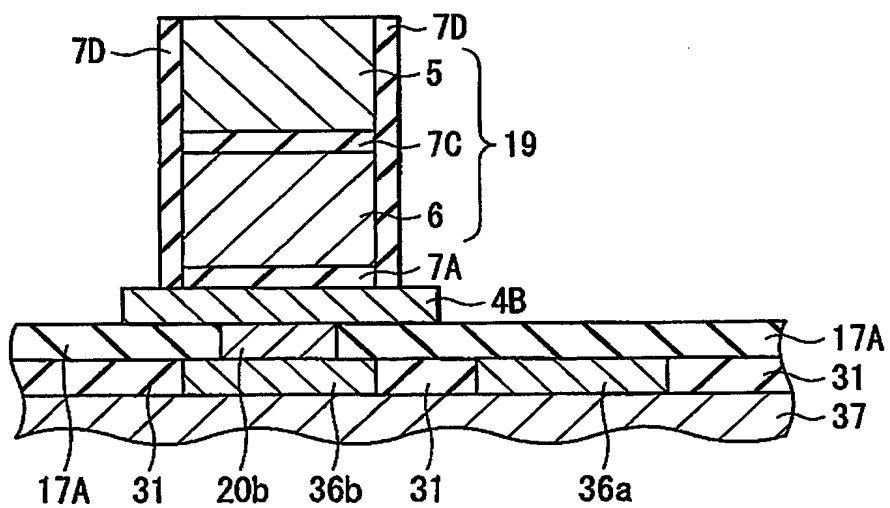
【図16】



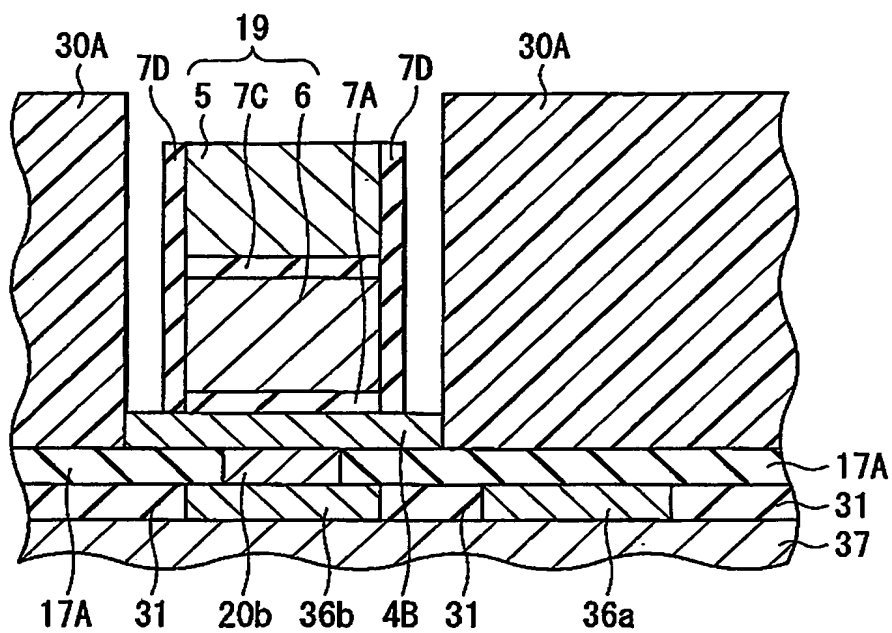
【図 17】



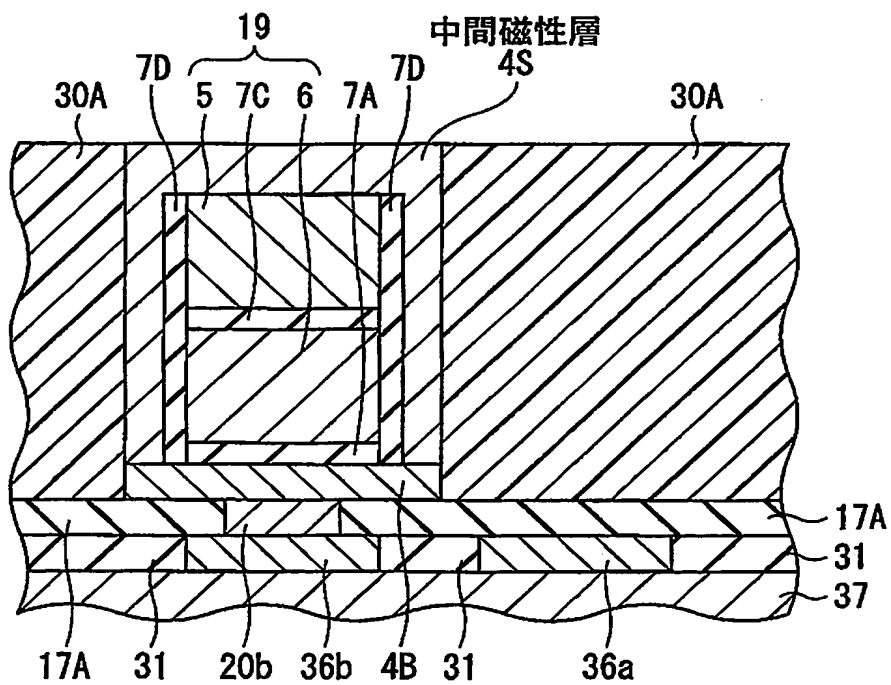
【図 18】



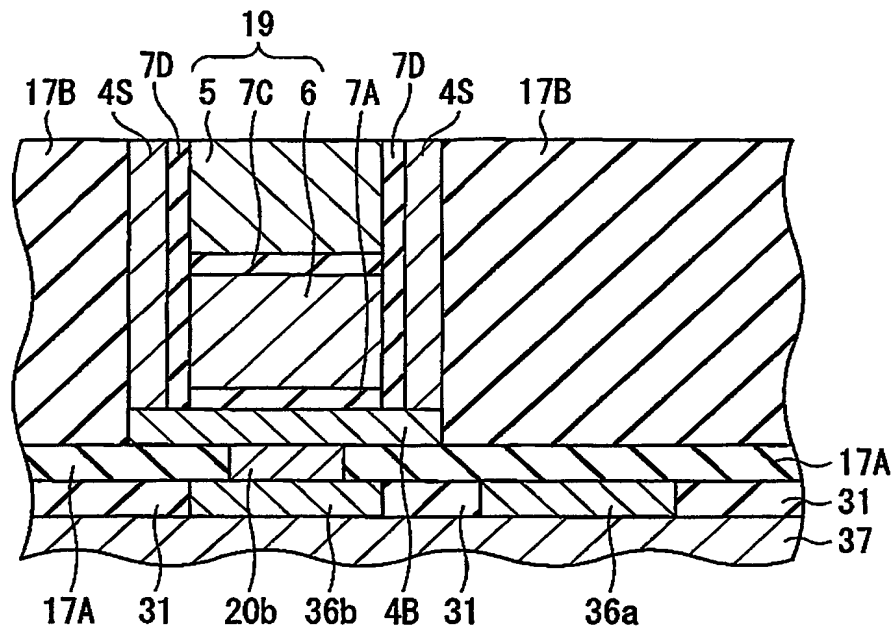
【図 19】



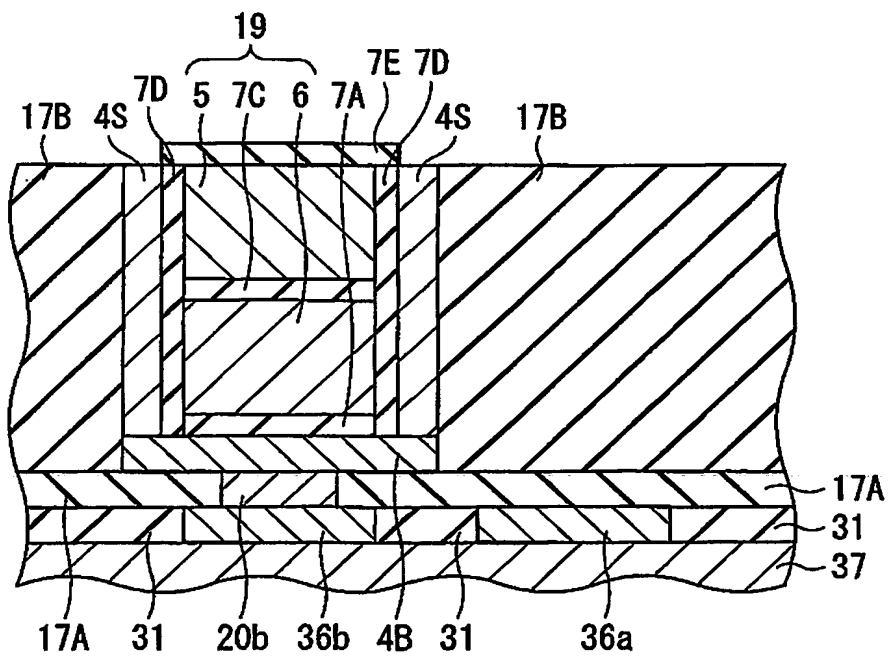
【図 20】



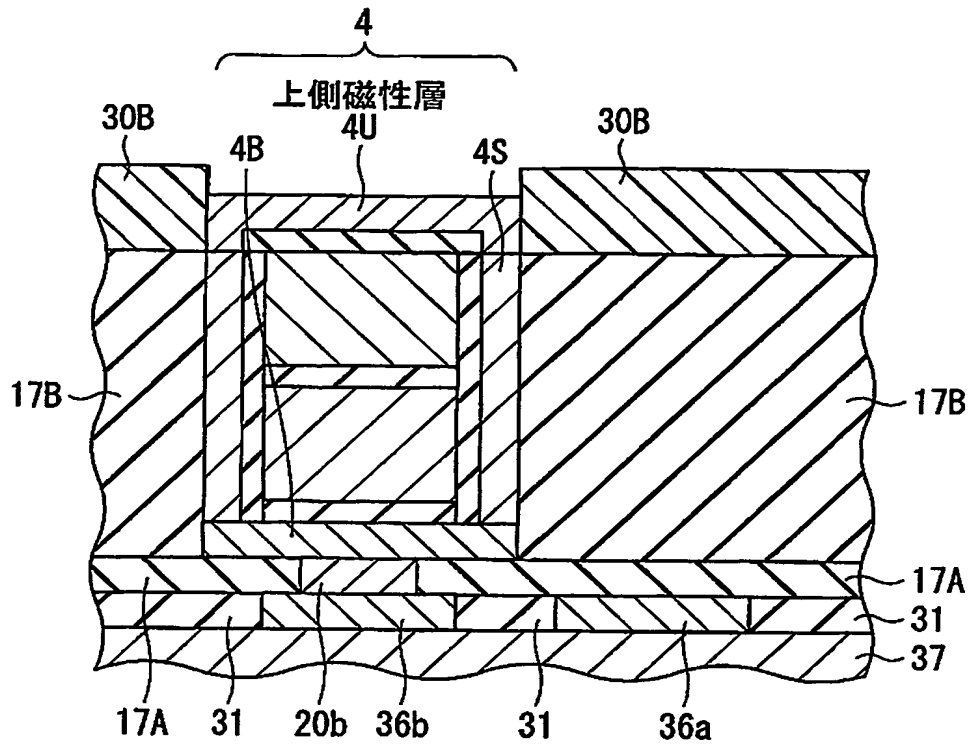
【図 21】



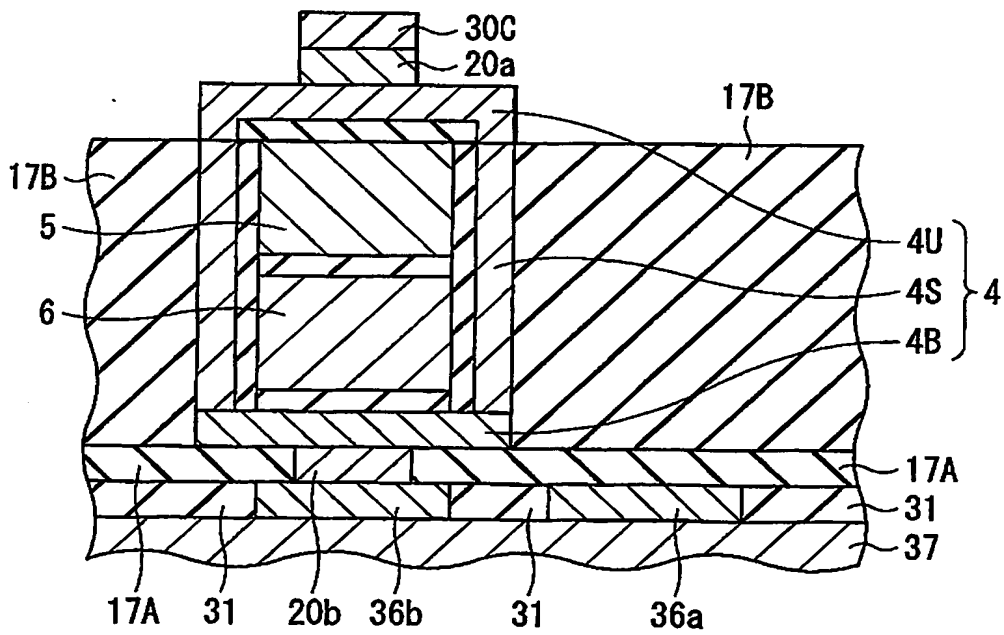
【図 22】



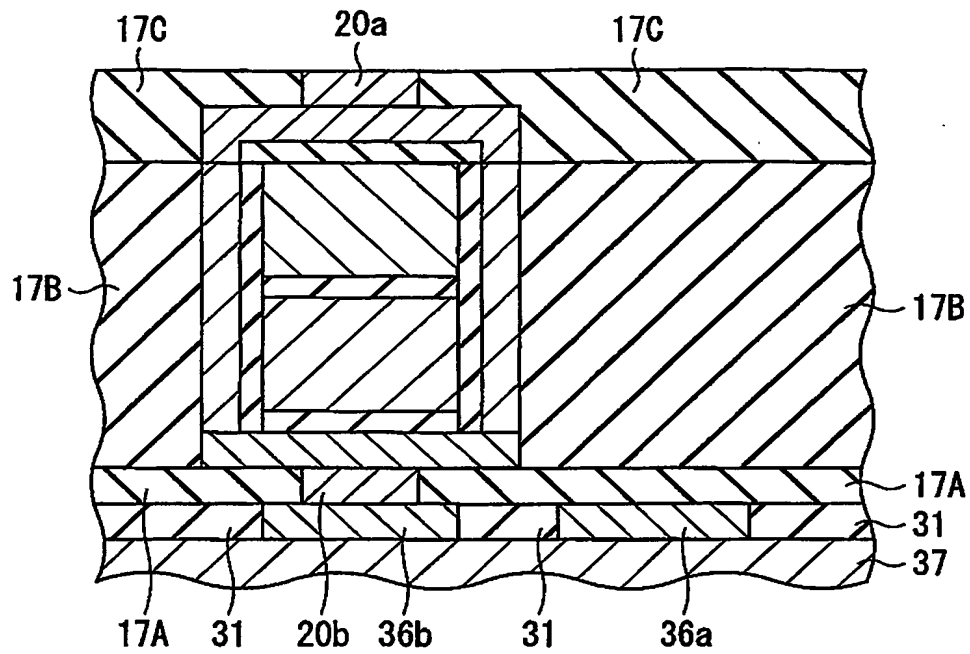
【図 23】



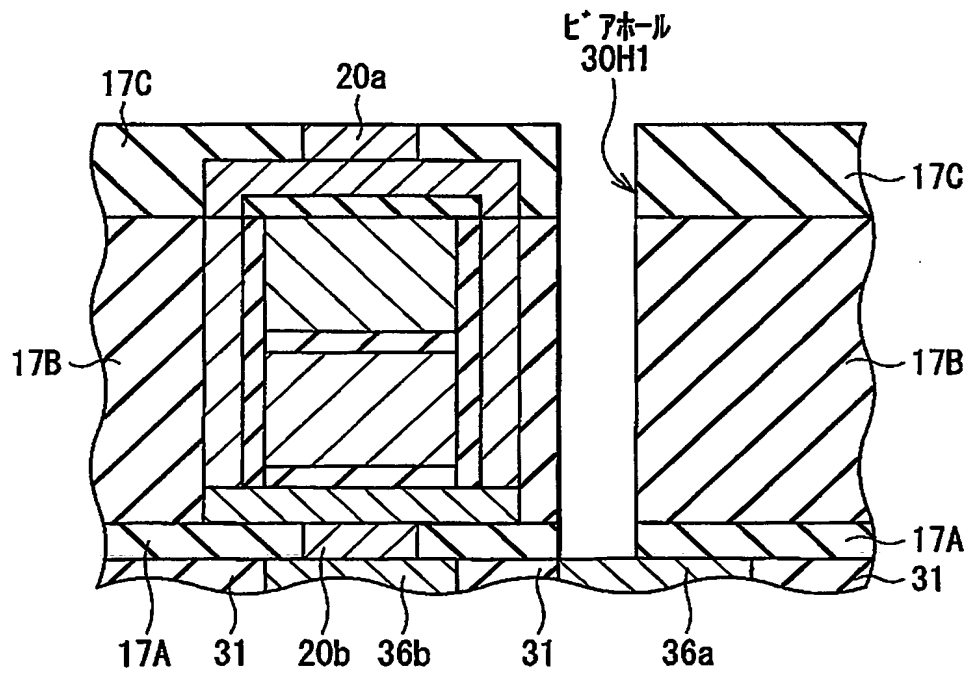
【図 24】



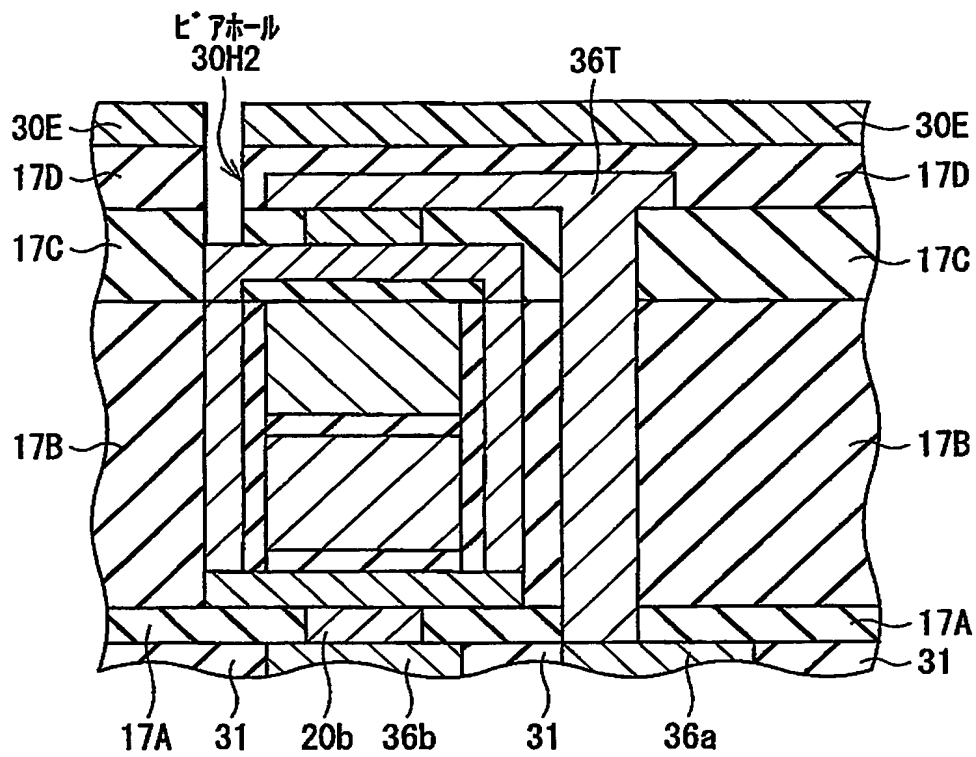
【図 25】



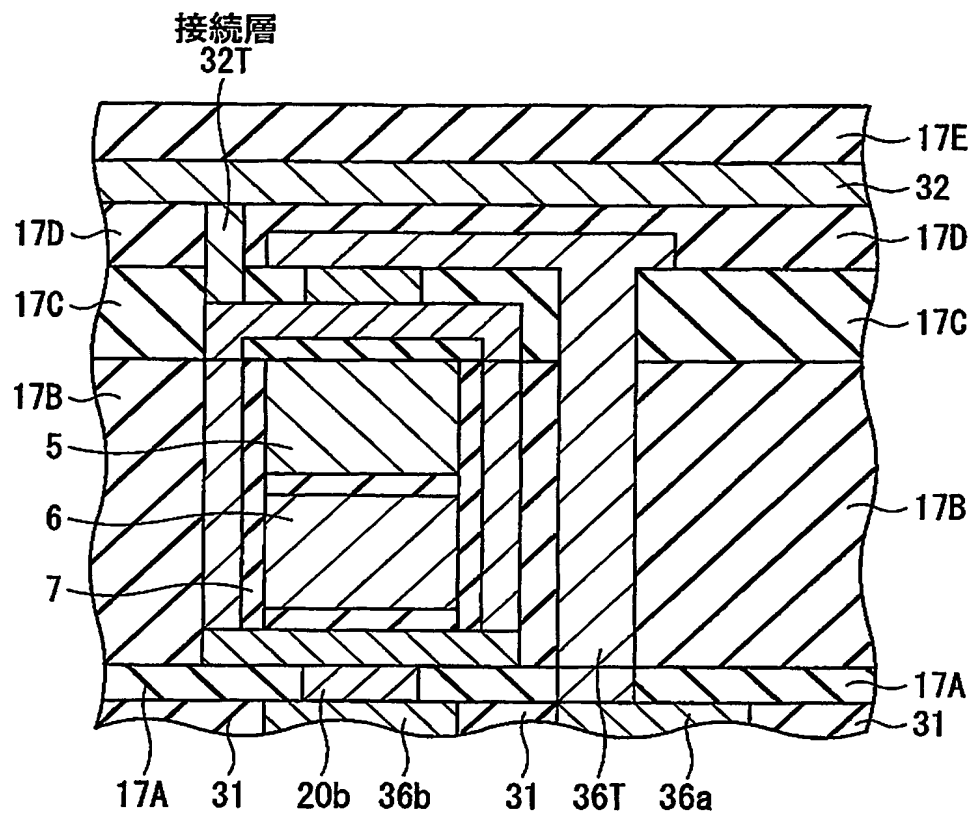
【図 26】



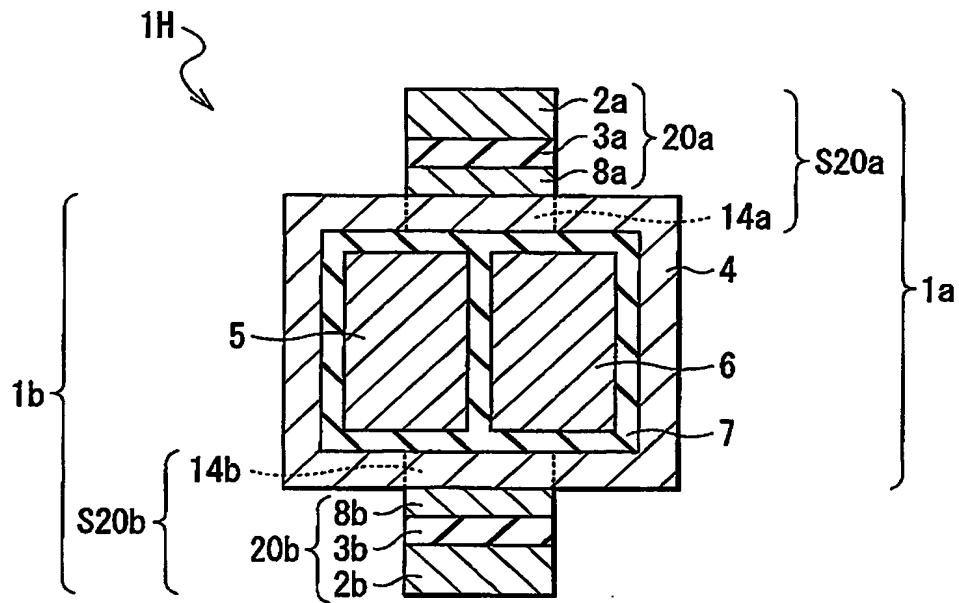
【図 29】



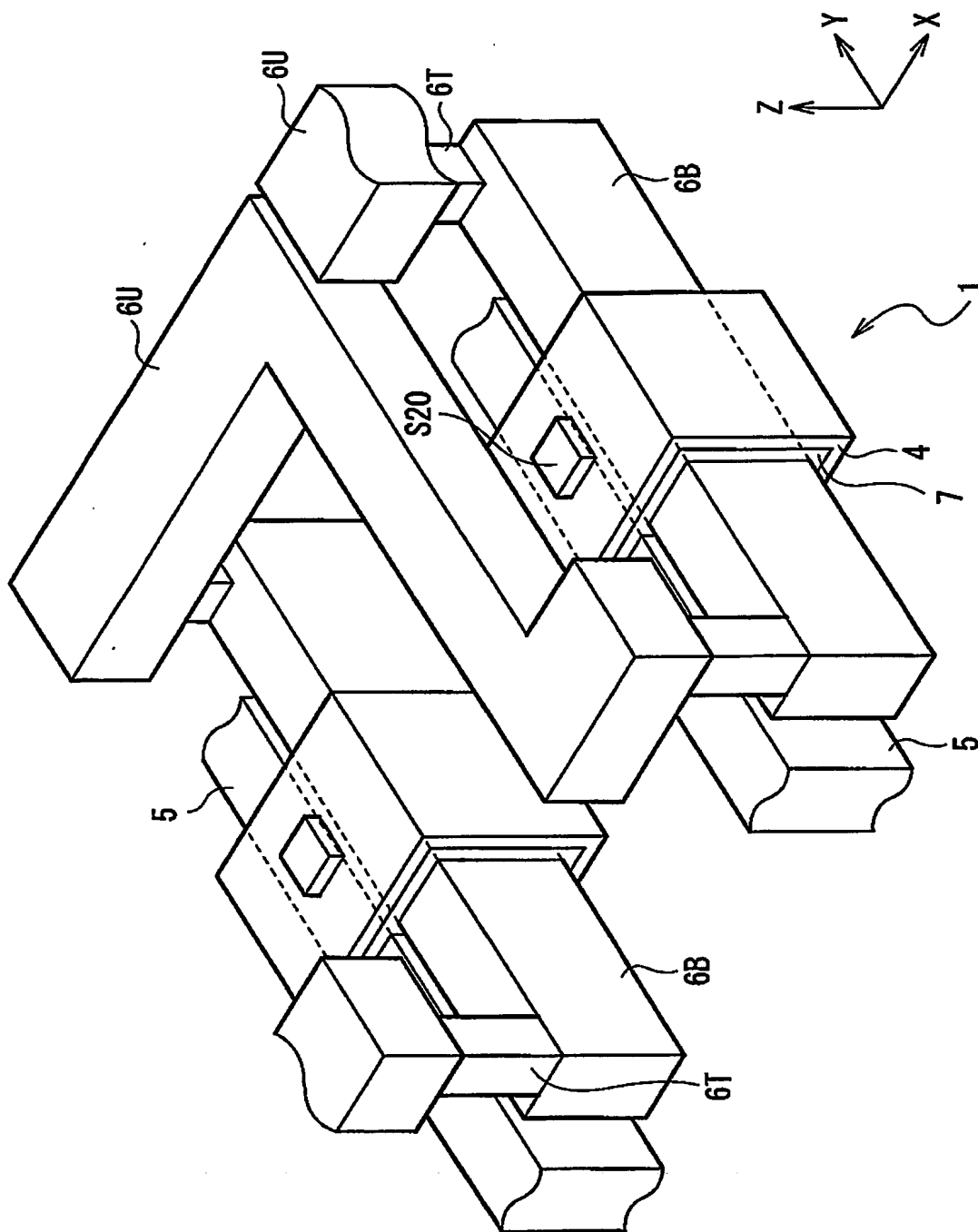
【図 30】



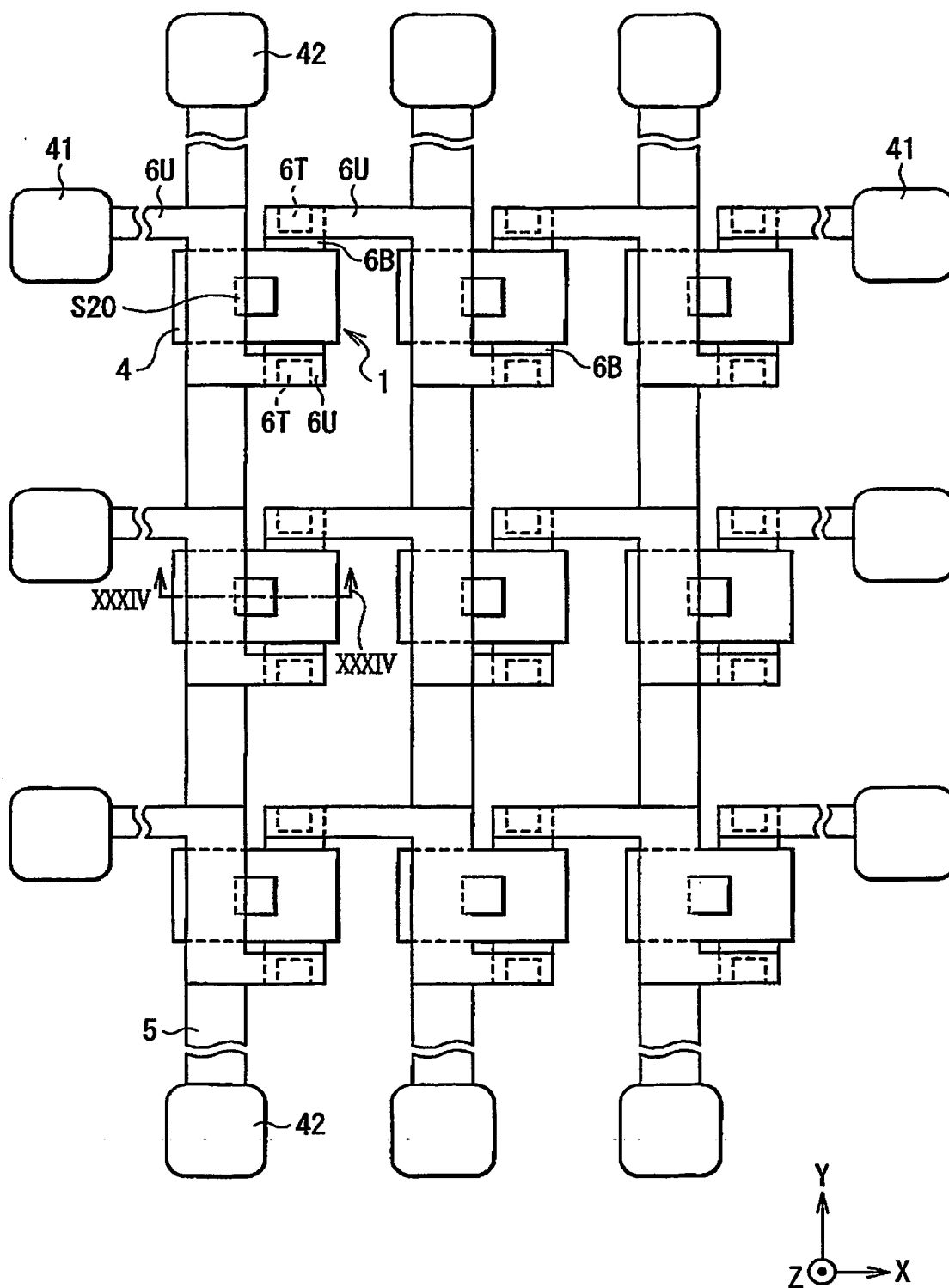
【図 31】



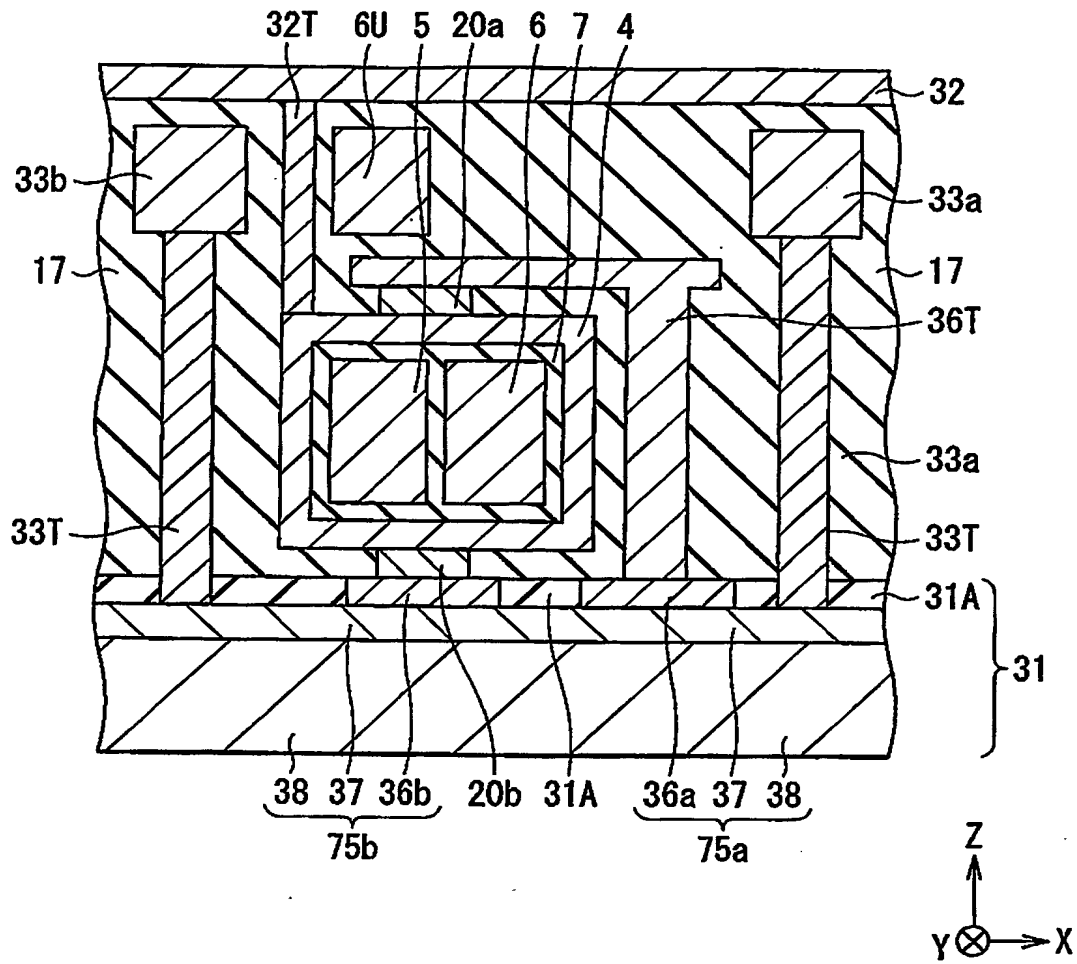
【図 32】



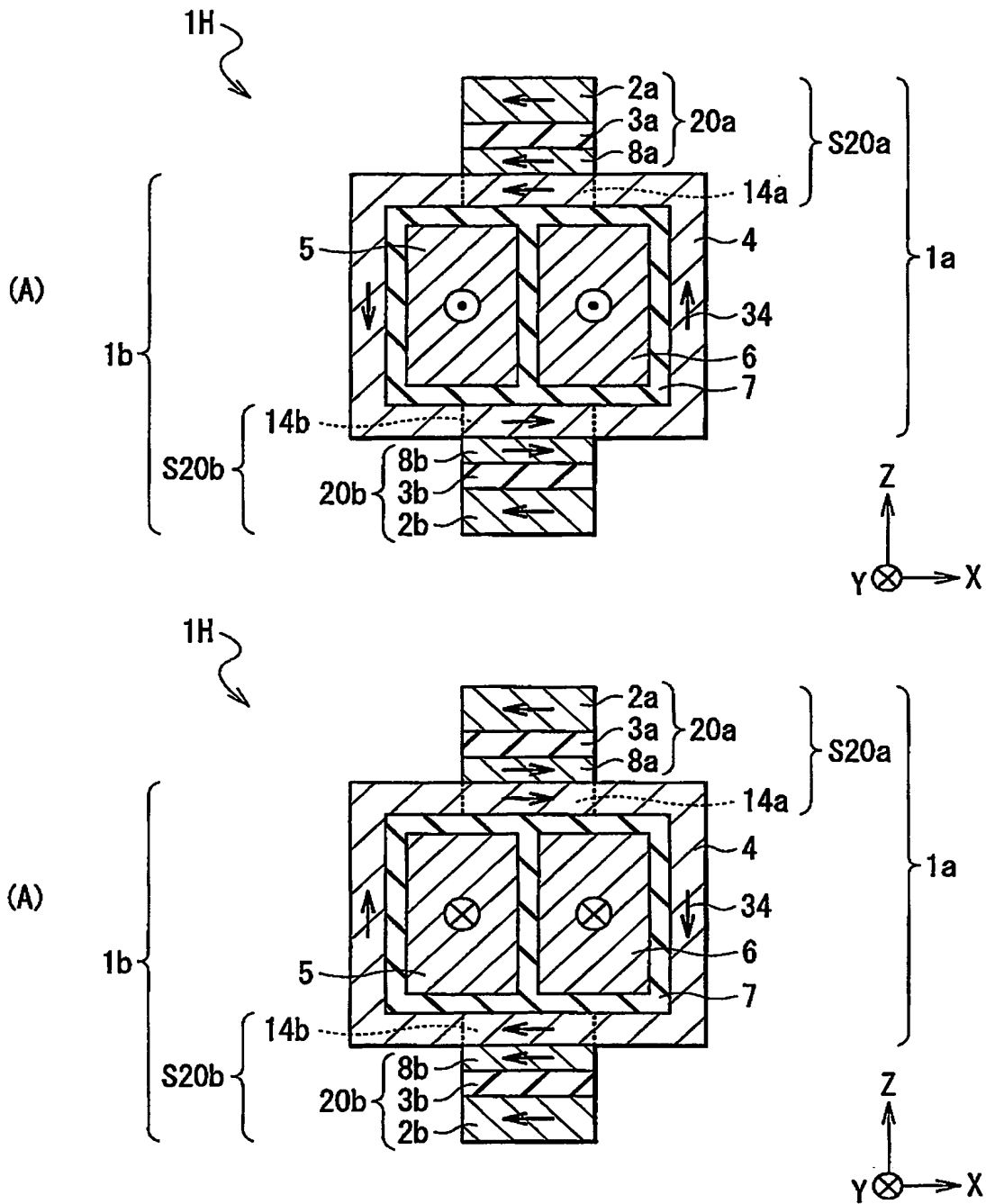
【図 33】



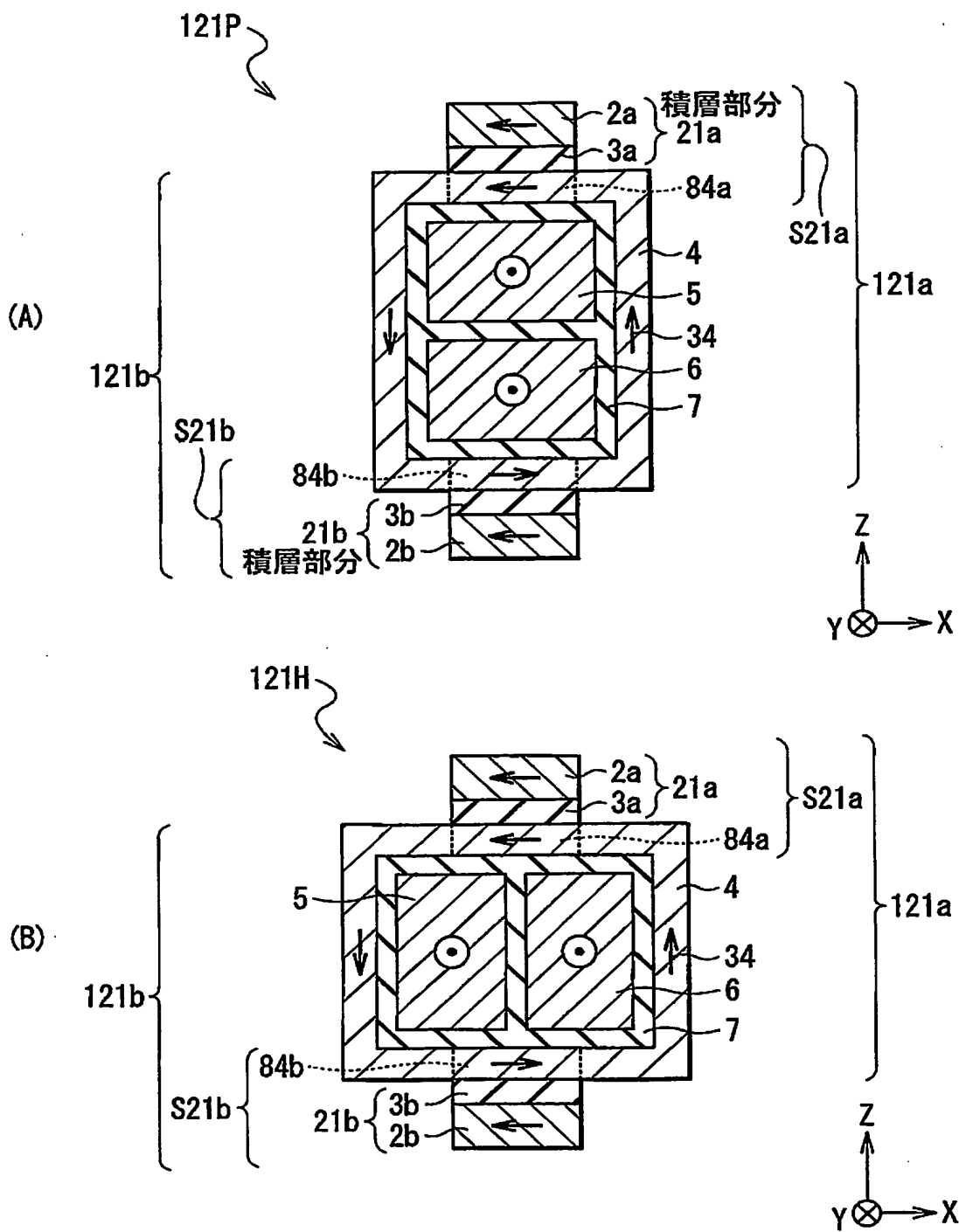
【図 34】



【図 35】

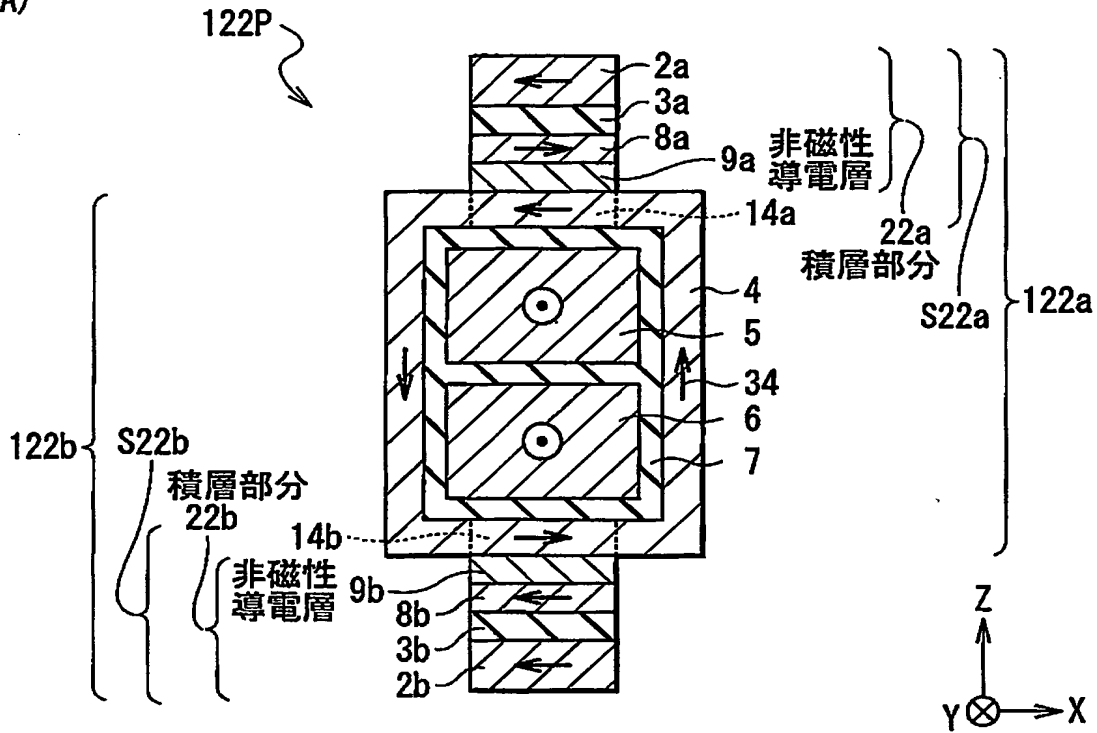


【図 36】

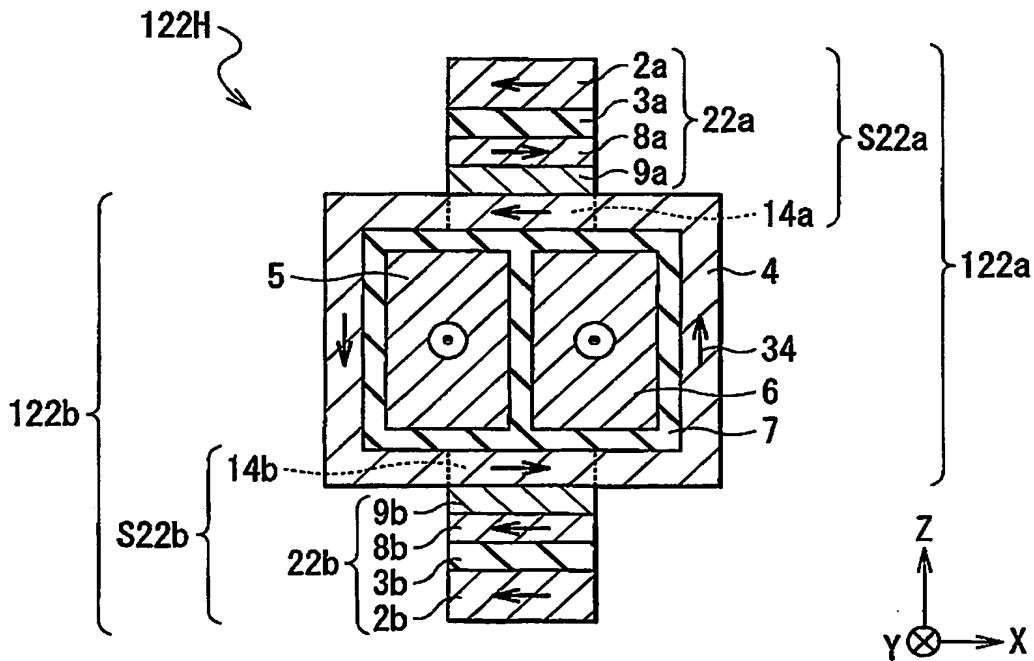


【図 37】

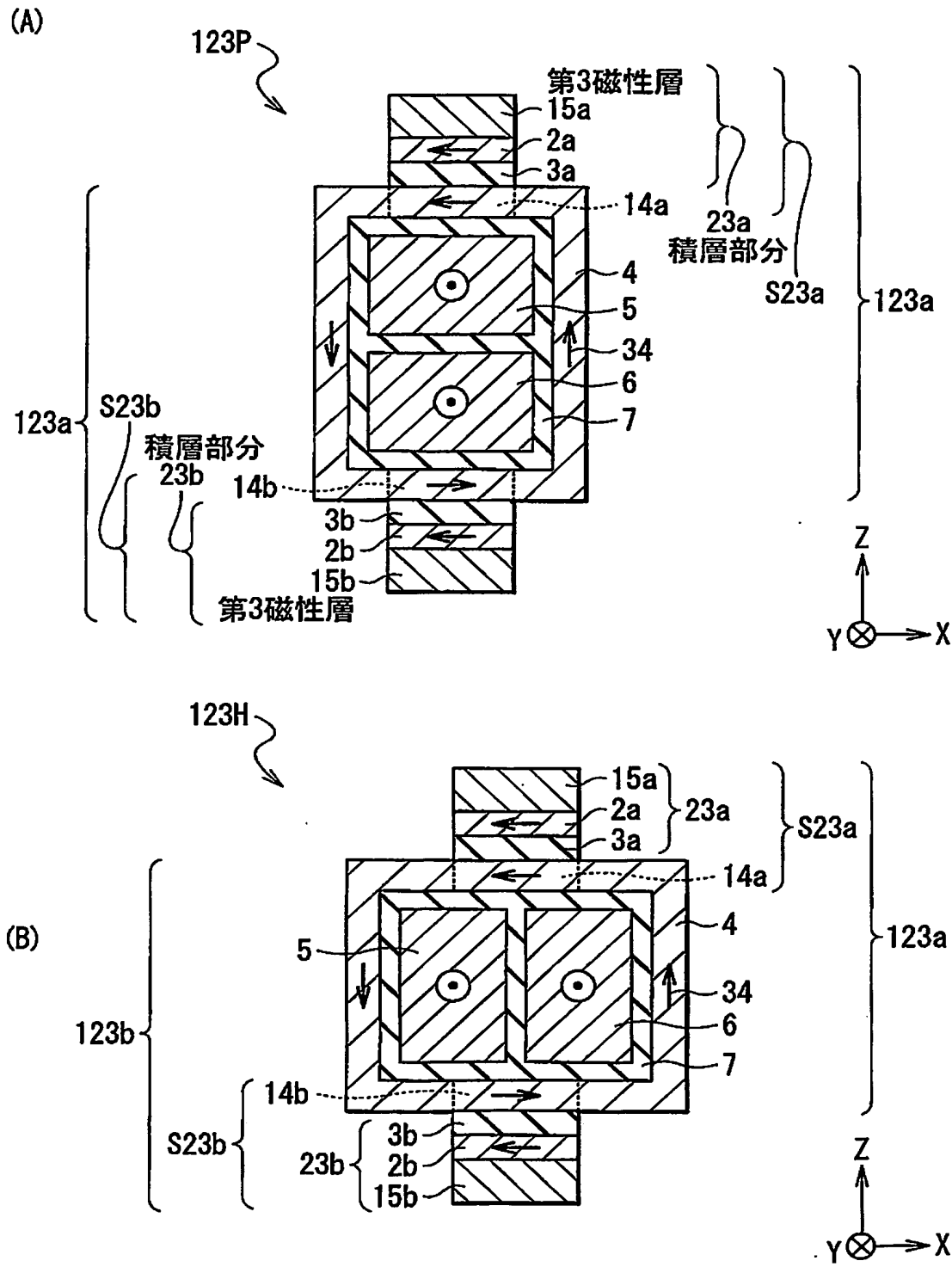
(A)



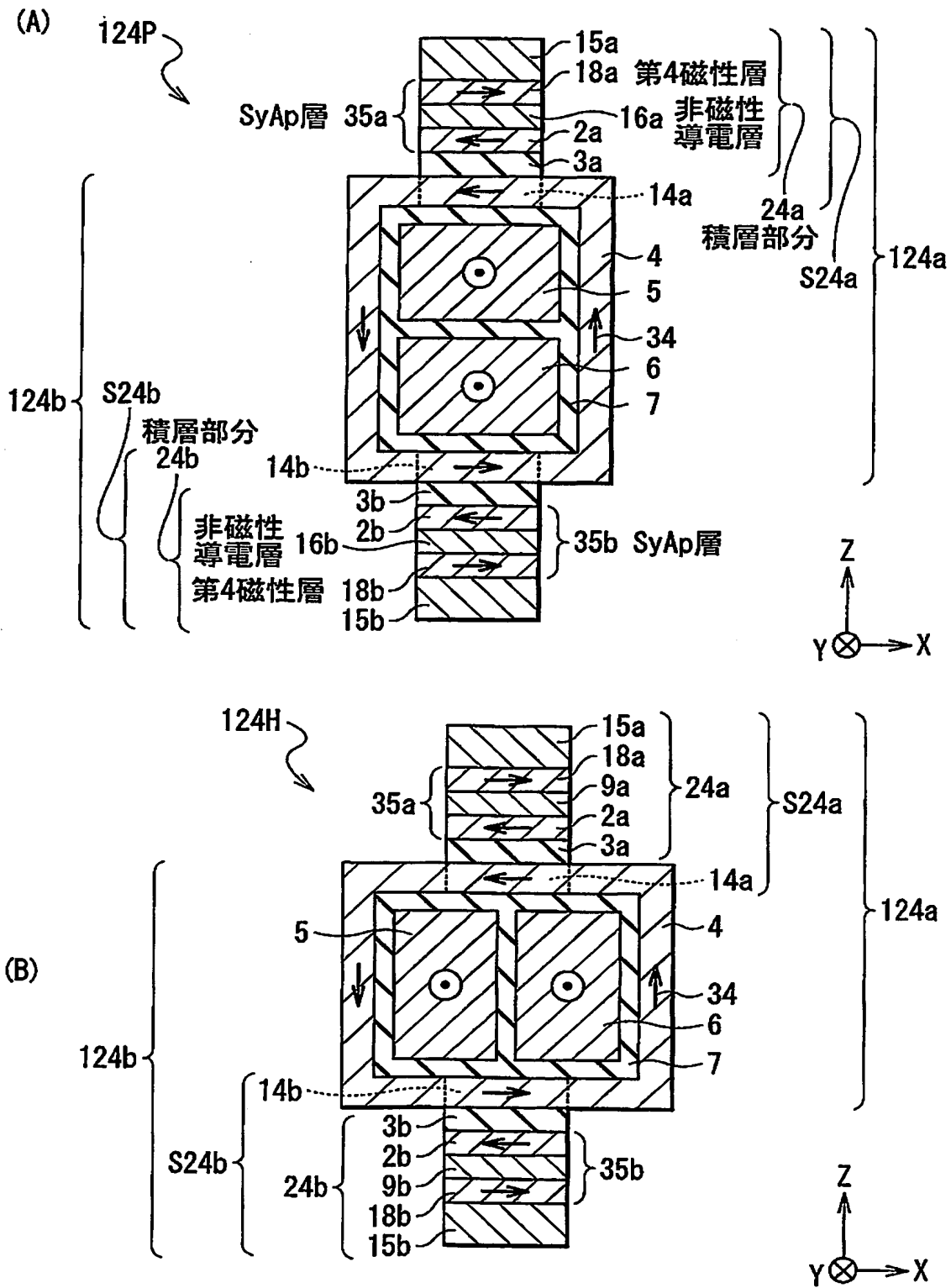
(B)



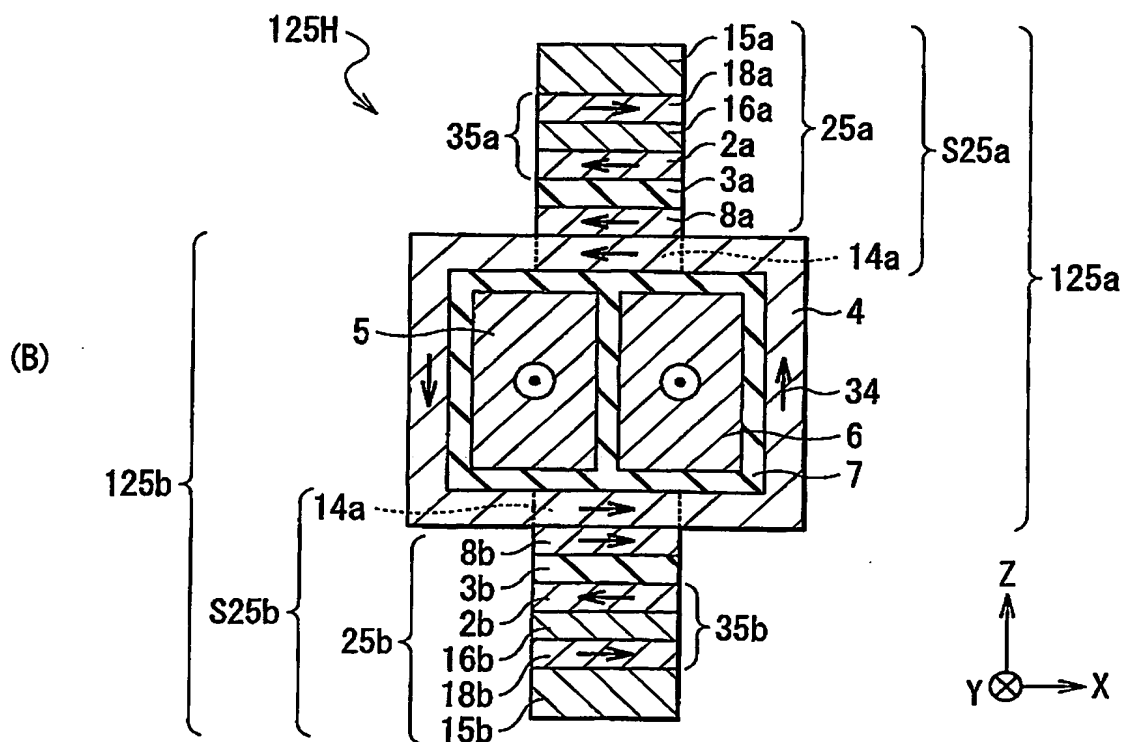
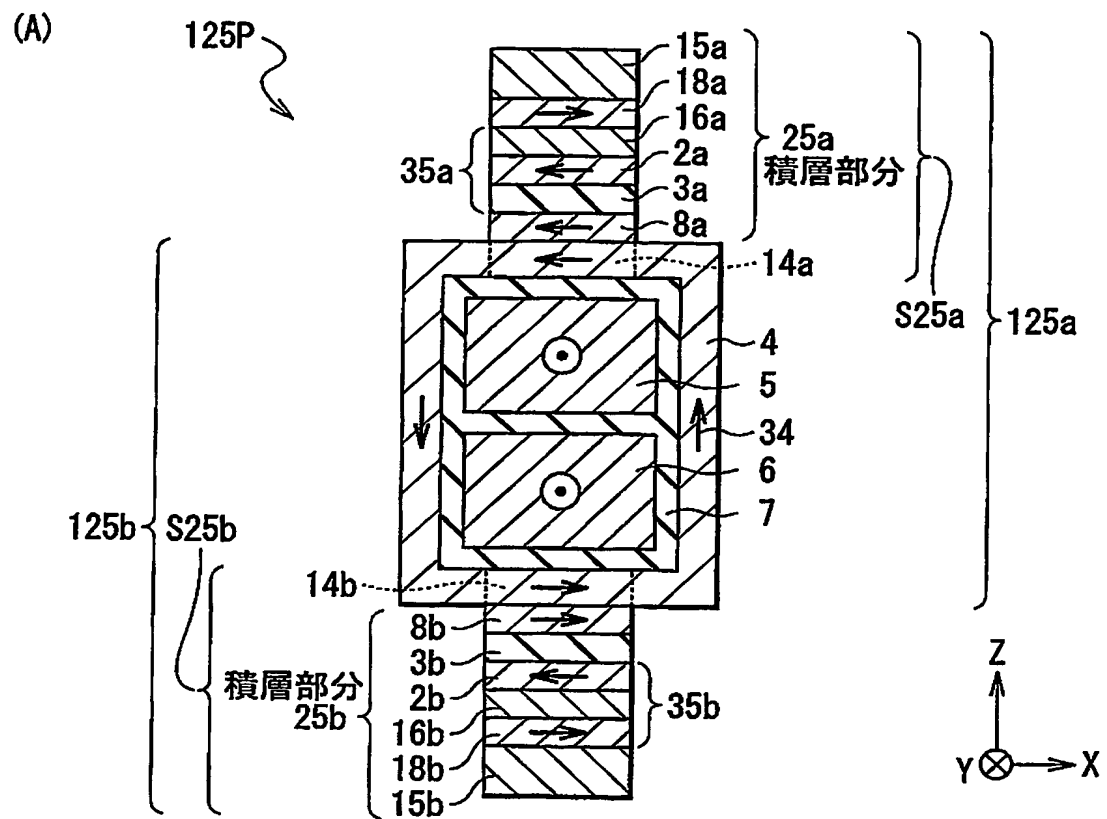
【図 38】



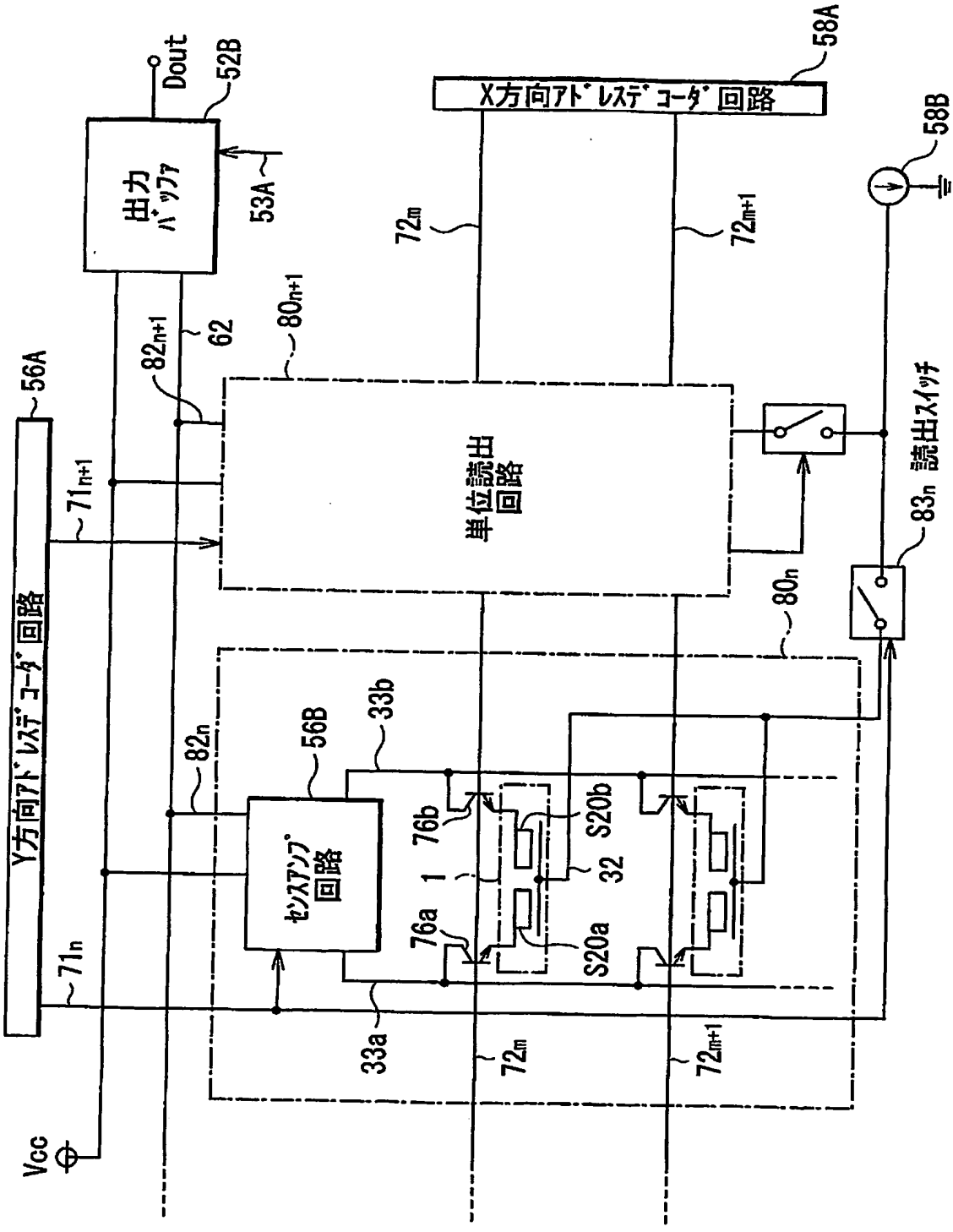
【図 39】



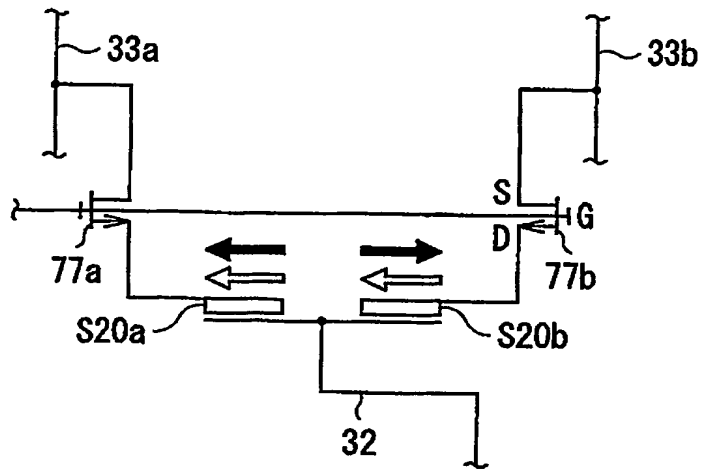
【図 40】



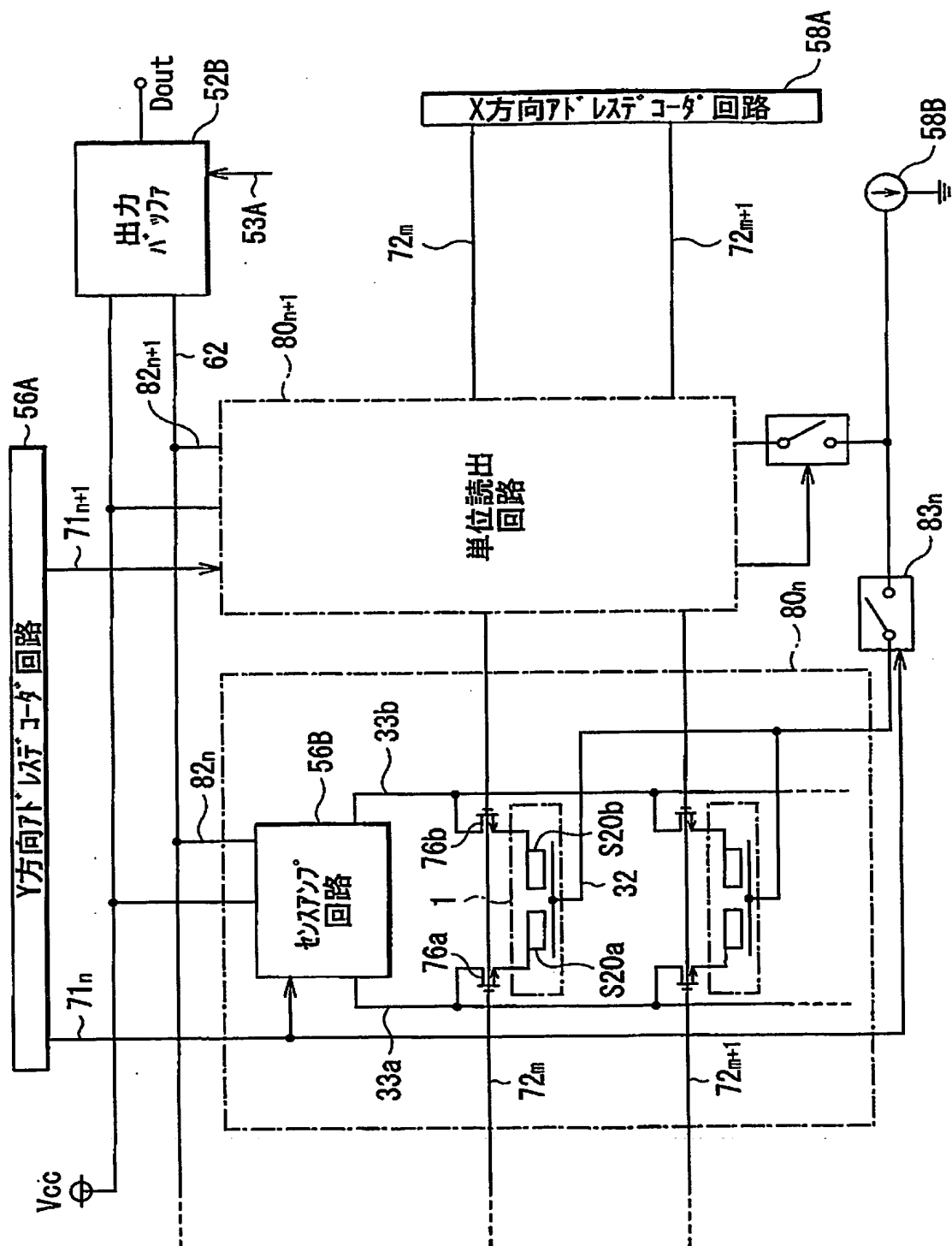
【図43】



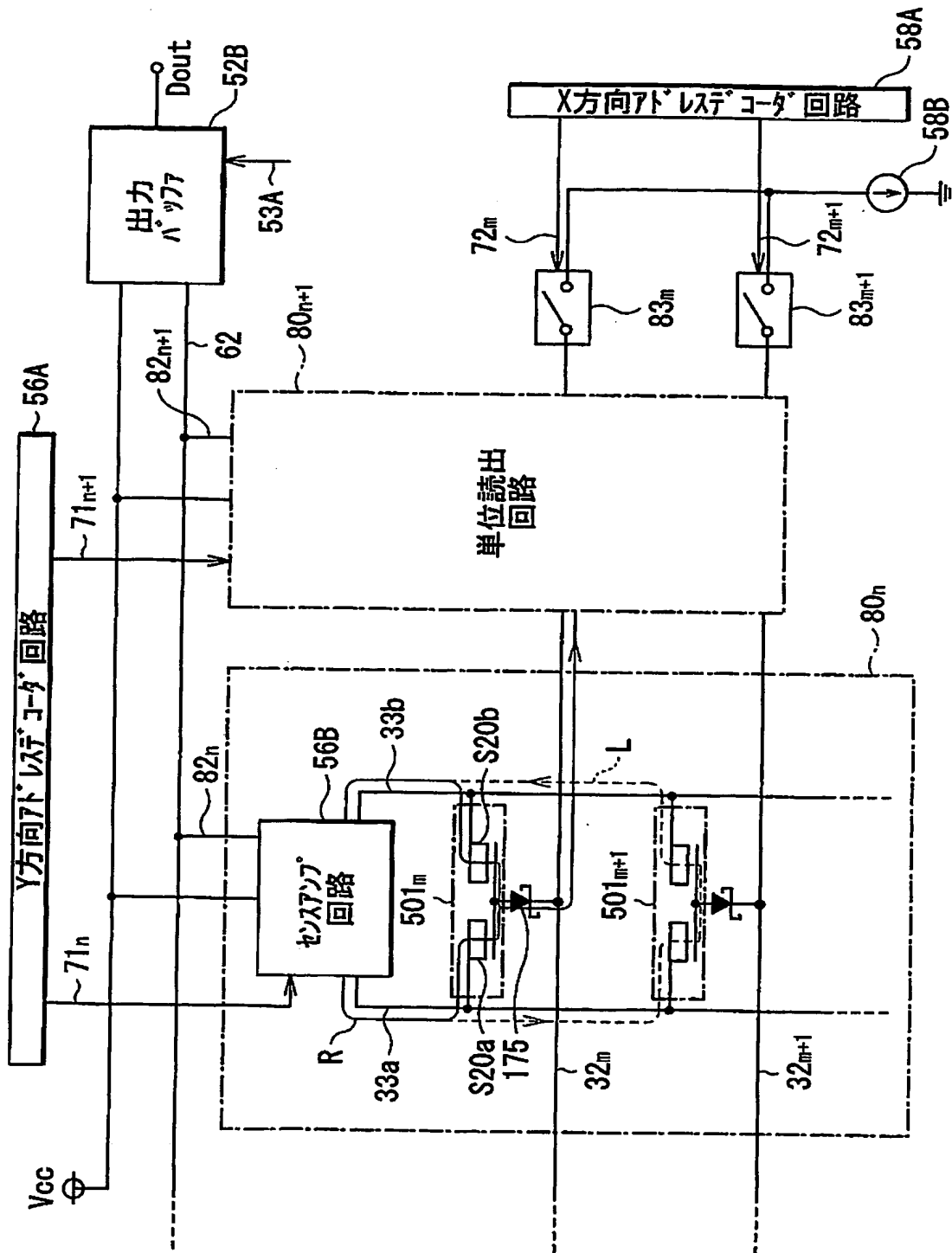
【図 4 4】



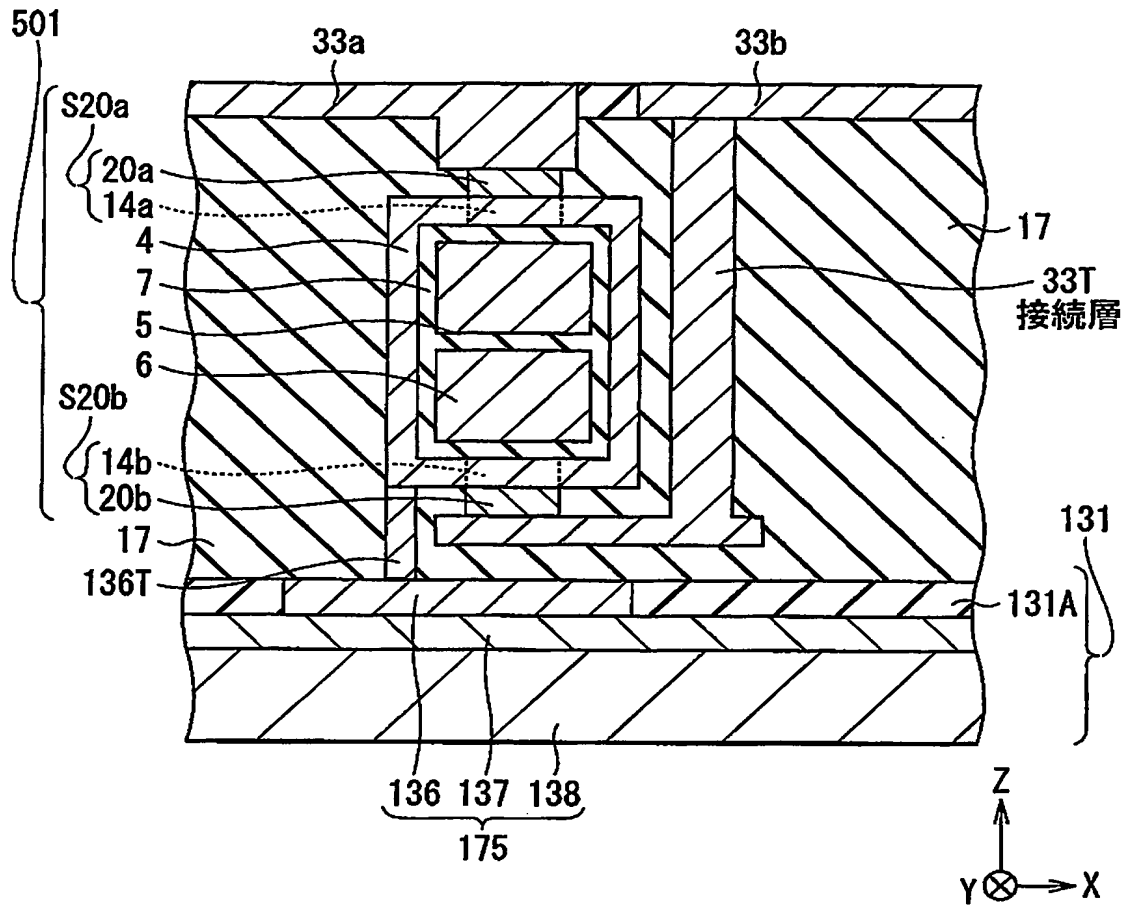
【図 45】



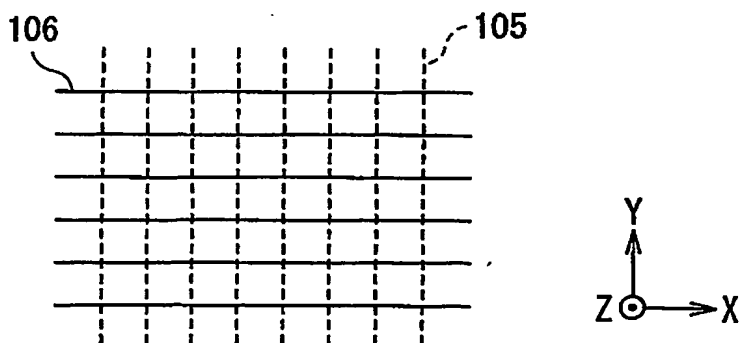
【図 46】



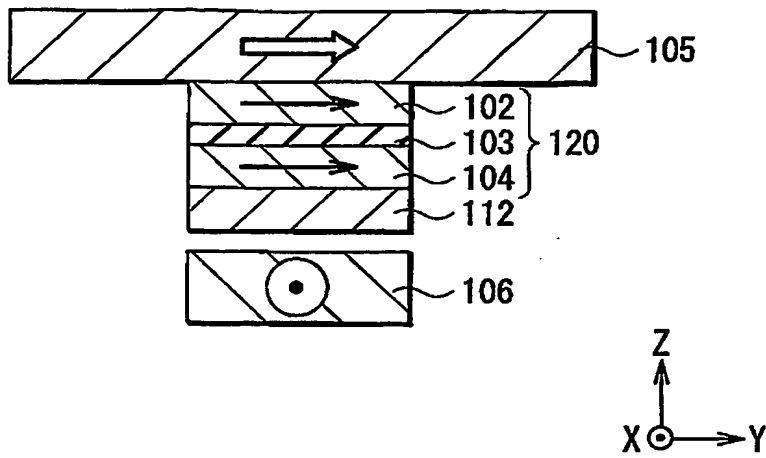
【図 47】



【図 48】



【図 49】



【書類名】 要約書

【要約】

【課題】 書込線を流れる電流によって形成される磁界の損失を低減し、安定した書込が可能な磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供する。さらに、そのような磁気メモリデバイスを容易に製造するための方法を提供する。

【解決手段】 外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、第1の積層体と第2の積層体との間に、積層面に沿った方向を軸方向とするように配置されると共に、軸方向に沿って複数の導線によって貫かれるように構成された環状磁性層とを有するようにしたので、還流磁性層に形成される還流磁界の強度低下を抑制することができ、より小さな書込電流によって第1および第2の積層体における感磁層の磁化反転を行うことができる。

【選択図】 図4

認定・付加情報

特許出願の番号	特願 2003-092924
受付番号	50300521931
書類名	特許願
担当官	伊藤 雅美 2132
作成日	平成 15 年 4 月 8 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋 1 丁目 13 番 1 号
【氏名又は名称】	ティーディーケイ株式会社

【代理人】

申請人

【識別番号】	100109656
【住所又は居所】	東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 翼国際特許事務所
【氏名又は名称】	三反崎 泰司

【代理人】

【識別番号】	100098785
【住所又は居所】	東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 翼国際特許事務所
【氏名又は名称】	藤島 洋一郎

次頁無

特願 2 0 0 3 - 0 9 2 9 2 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社